



FWDG 1.0TA

03/02/2010

# FireWire Design Guide

## 摘要

本文件係針對設計個人電腦或是消費性電子產品時導入 Firewire(IEEE 1394) 連接埠的設計導引。內容包含了規範標準與設計的參考資訊，藉以達成最佳化的設計。

## 1394 Trade Association 規範

1394 Trade Association 規範、手冊 以及指南，乃是由 1394 Trade Association 工作團隊為了促進 IEEE1394 相容產品市場的發展以及成長所製作。1394 Trade Association 乃是一個非營利的工作組織，1394 工作團隊的參加者多是自願且未由該組織支領薪資。大多數的參加者代表 1394 Trade Association 組織的會員。由這些工作團隊所發展的工作產品(work product)代表參加者專業的共識(consensus)。

1394 Trade Association 文件的使用係完全基於自願。1394 Trade Association 文件並沒有暗示沒有其他方式可生產、測試、量測、購買、銷售、或者提供 1394 Trade Association 規範範疇的物品以及服務。此外，在一時間點文件中提出的觀點將根據技術狀態的發展以及規範使用者的意見將有所改變。使用者必須謹慎確認來決定文件確為 1394 Trade Association 的最新版本。

歡迎任何對 1394 Trade Association 各版本文件有興趣者提出意見，無論您是否為 1394 Trade Association 的會員。對文件的建議變更應隨同適當的意見，並以書面方式提出。

解讀聲明: 問題偶爾可能係對於規範與特定應用的相關性提出。當該些解讀引起 1394 Trade Association 的注意，我們將準備適當的回應動作。

對規範的意見或者解讀的要求可以寄到下面地址：

Editor, 1394 Trade Association  
315 Lincoln, Suite E  
Mukilteo, WA 98275  
USA

1394 Trade Association 文件由 1394 Trade Association 採用，但未慮及在本規範中，對存在於物品、材料、或者製程中之專利或者其他智慧財產權。1394 Trade Association 於文件的採用，對任何專利權擁有人並沒有任何責任；對於文件的使用者也無任何義務。關於智慧財產權，本文件之讀者請自行判斷是否侵權。

**1394 Trade Association  
315 Lincoln, Suite E  
Mukilteo, WA 98275 USA**

所印製

Copyright © 2010 by 1394 Trade Association  
All rights reserved.

## 版權聲明

### IEEE 版權

本規範之部分由已出版之IEEE標準允許複製：

原始文件為：

IEEE Std 1394-1995, Standard for a High Performance Serial Bus

IEEE Std 1394a-2000, Standard for a High Performance Serial Bus - Amendment 1

IEEE 版權政策於 <http://standards.ieee.org/IPR/copyrightpolicy.html>，其部分聲明：

免版稅許可(Royalty Free Permission)

於免版稅基礎上，IEEE-SA 政策主張任何人可摘錄以及出版最高可達，但不超過，全部 IEEE SA 文件的 10%(除 IEEE SIN 書籍以外)之內容，只要：

- 1) 提供適當的承認感謝；
- 2) 該標準的「重點中心」不完全包含於摘錄的部分。

以上包含 IEEE 文件的表格、圖示、數字、以及報表範圍。

## 檢視清單(Checklist)

所有設計具備有FireWire連接埠產品的，可以查詢：

#2.1: 連接器(連接頭與連接座)必須滿足IEEE標準的要求.....	9
#2.2: 連接頭(plug)必須有一個外模，便於方向定位.....	10
#2.3: 連接座必須有正確的方位來確保連接頭的拇指接觸部分在上方或是左側.....	11
#2.4: 接續到單一PHY的連接座必須靠近.....	12
#2.5: FireWire 800 9-to-9 (1394b type 1)連接線組裝屏蔽與接地不可以短路.....	12
#3.1: 連接器到PHY的配線越短越好(TP1到TP2 與 TP3到TP4).....	16
#3.2: 確保TPBIAS去耦合電容(decoupling capacitor)有正確的數值.....	17
#3.3: 限制FW400最少的共模扼流圈來通過EMC規範.....	17
#3.4: 在電源提供端提供暫態保護電路來防止Vg遲接對於PHY的傷害.....	17
#3.5: FireWire電源必須有電流限制與電流濾波.....	18
#3.6: VG 必須電容性連到機殼接地並以最小濾波(也許無)直接連到PHY信號地.....	18
#3.7: 所有非絕緣連接埠的連接座屏蔽必須直接連到機殼地.....	18
#3.8: 連接座屏蔽必須直接連到系統中某處的VG.....	19
#3.9: 需要隔離介面的系統需要使用Beta-only 1394b來連接.....	19
#3.10: FW800連接埠必須避免使用共模扼流圈.....	20
#3.11: FW800連接器插座必須內部結合內層與外殼.....	20
#3.12: FW800 TPA與TPB彼此的屏蔽與FW400屏蔽皆有不同終端要求.....	20
#3.13: 確保長配線的信號整合性來支援前方面板連接器.....	20
#3.14: 若是系統有多個PHYs而且至少其中一個PHYs有支援S800或更快，那麼所有的PHYs必須是S800或更快.....	21
#4.1: 確保Power_class的設定正確.....	23
#4.2: 確保CONTENDER不起作用(deasserted).....	23
#4.3: 連接PCIe CLKREQ*.....	23
#4.4: TI PHY核心電壓為1.95V.....	24
#4.5: TI PHY 核心電壓使用1uF電容器濾波.....	24
#4.6: TI PHY振盪電壓可以為 1.95V.....	24
#4.7: 當使用TI PHYs在中繼模式時，確保正確的PHY/LINK接腳終端方式.....	24
#4.8: 確保TI Phys上未使用連接埠的配置與終端方式.....	24
#4.9: 確保LKON/DS2正確偏壓為高電位或低電位.....	25
#4.10: 小心當TI 1394b PHY 連接埠2未使用或設定於DS-only 模式之場合.....	25
#4.11: 留意TI PHY之DS模式連接埠最高速度報告不正確.....	25
#4.12: 在TI PHYs 的雙模式(bi-lingual)連接埠採用峰化電感器(peaking inductors).....	25
#4.13: 在TI PHYs上連接PLLVD_33 到AVDD_3_3 電源.....	25
#4.14: 確保滿足TI PHY的建議.....	25
#4.15: 連接Chex OHCI_PME# 到一個GPIO，求得最佳化的電源管理.....	25
#4.16: 確保Chex GRST# 僅在連結層電源週期時起作用.....	25
#4.17: 讓Chex GPIO沒有連接.....	26
#4.18: 將Chex CYCLEOUT作為一個測試點.....	26
#4.19: 連接VDD_33_AUX到3.3V.....	26
#4.20: 確保滿足TI連結元件在實踐上的要求.....	26
#4.21: 確保TI連結元件在睡眠模式期間提供電源.....	26
#4.22: 確保滿足G_RST* 的時序要求.....	26
#4.23: G_RST*信號是非同步(asynchronous).....	26
#4.24: 確保VAUX_DETECT在FW643上拉高電位.....	27
#4.25: 確保FW643的電源重置與1.0V調節電源一致.....	27
#4.26: 確保滿足LSI整合PHY/Link元件的實踐要求.....	27
#4.27: 對於LSI整合PHY/Link的元件，確保在睡眠模式期間供應電源.....	27
#4.28: 確保PME對於LSI FW323 v129.的軟體是唯一可識別的.....	27
#4.29: 在PHY/Link 介面上所需的內部或外部電位拉低.....	29
#4.30: 若是PHY/Link 傳輸延遲大於1ns，需要特殊的終端方式.....	29

#5.1: 在保護二極體與連接器之間的所有元件與跑線需要能夠承受33V或更高電壓.....	31
#5.2: PHY的動作不可受到電源供應端觸發的電流限制所影響.....	31
#5.3: 電源供應端系統不能夠受到電源取用端的湧入電流或短路所影響.....	31
#5.4: 電源類別(Power Class) 4的電源供應端必須實施適當的 CSRs. ....	32
#5.5: 從介面取得電源供應的攜帶式裝置與周邊產品必須宣告它的電源類別.....	32
#5.6: 電源取用端必須履行電源管理CSRs.....	32
#5.7: 確保CPS正確地連接.....	34
#6.1: OHCI 連結在預期的負載下必須滿足即時性要求.....	42

## 內容(Contents)

2. 機構 .....	9
2.1 連接器.....	9
2.2 點對點連接 .....	10
3. 連接埠設計 .....	16
3.1 介面.....	16
3.2 連接器/PHY 配線 .....	16
3.2.1 終端.....	19
3.2.2 前方面板(遠端)連接器配線指引.....	20
3.3 測試建議.....	21
4. 系統設計 .....	24
4.1 PHY 的選擇.....	24
4.2 PHY 配置的建議.....	23
4.2.1 概論.....	23
4.3 連結層建議 .....	23
4.3.1 PCIe 建議 .....	23
4.4 特定裝置的建議.....	24
4.4.1 TI TSB81BA3.....	24
4.4.2 TI XI02213 (Cheetah Express, aka Chex).....	23
4.4.3 TI TSB82AA2 1394b 連結元件.....	26
4.4.4 LSI FW643 .....	27
4.4.5 LSI FW323 .....	27
4.5 PHY/Link 介面.....	29
4.5.1 額外的要求.....	29
4.5.2 跑線佈置指引 .....	30
5. 連接線電源 .....	31
5.1 簡介.....	31
5.2 FireWire電源檢視清單.....	31
5.3 FireWire裝置指引 .....	30
5.4 電路的範例.....	33
5.4.1 桌上型輔助電源供應端.....	35
5.4.2 桌上型主要電源供應端具有備用通過電力.....	36
5.4.3 可攜式電腦(Portable computer).....	37
5.4.4 週邊或行動式裝置.....	38
5.5 註釋.....	39
5.5.1 Power Classes (參考用).....	39
5.5.2 二極體保護的注解.....	39
5.5.3 斷電的使用與連接線不忙碌.....	40
5.5.4 Trade Association連接線電源分佈規範 - 擬議的變化.....	41
6. 連結的選擇.....	42
6.1 OHCI 的需求.....	42
6.2 目標裝置 .....	42
6.2.1 非同步週邊.....	42
6.2.2 媒介/消費性電子.....	42

7. 韌體暨高層軟體.....	43
7.1 基本節點操作.....	43
7.1.1 匯流排初始化.....	43
7.1.2 配置 ROM .....	43
7.1.3 等時資源管理員(Isochronous Resource Manager).....	43
7.1.4 匯流排管理員(Bus Manager).....	43
7.1.5 必要的性能.....	43
7.1.6 互通性(Interoperability) .....	43
7.2 大容量儲存裝置(Mass storage devices).....	43
7.2.1 SBP profile.....	43
7.2.2 AV profile.....	43
7.3 成像裝置(Imaging devices) .....	43
7.3.1 印表機(Printers) .....	43
7.3.2 掃描器(Scanners) .....	43
7.3.3 相機(Still image cameras) .....	43
7.3.4 機器視覺相機(Machine vision cameras) .....	43
7.4 消費性電子產品(Consumer electronics).....	43
7.4.1 磁帶機(Tape recorders) .....	43
7.4.2 電視(Televisions).....	43
7.4.3 機上盒(Set top boxes) .....	43
7.4.4 磁碟(Disks) .....	43
7.4.5 音頻設備(Audio equipment) .....	43
7.5 專業裝置(Professional).....	43
7.5.1 音頻(Audio) .....	44
7.5.2 視訊(Video).....	44
7.6 汽車(Automobile).....	44
7.7 工業用/儀器(Industrial/Instrumentation).....	44
8.1 S800 1394b TSB81BA3 實體層跑線佈置建議.....	52
9. Firewire 設計指引 - 紮實的連接埠設計.....	55
12.1 一致性的術語(Conformance terminology).....	71
12.2 技術詞彙(Technical glossary).....	71

## 圖示(Figures)

圖2-1 — 連接頭外模(Plug overmold).....	10
圖2-2 — 連接座的定向(從外部來觀看).....	11
圖2-3 — 傳統連接座的定向(從產品前方來觀看).....	11
圖2-4 — 1394b type 1 連接線組裝與示意圖(Beta連接頭到Beta連接頭).....	13
圖2-5 — 1394b type 2 連接線組裝與示意圖(傳統6接腳連接頭到雙模式連接頭).....	14
圖2-6 — 1394b type 3 連接線組裝與示意圖(傳統4接腳連接頭到雙模式連接頭) .....	15
圖3-1 — 測量點(連接顯示的一半).....	16
圖5-1 — 一個多埠電源供應端, class 1/2/3 節點.....	34
圖5-2 — 一個多埠電源供應端, class 4 節點.....	35
圖5-3 — 一個多埠電源供應端class 1/2/3 節點, 當無電力可用作為class 4 .....	36
圖5-4 — 一個多埠的輔助電源供應端class 4 節點.....	37
圖5-5 — 單一連接埠匯流排供電(class 4)節點.....	38
圖5-6 — 多埠匯流排供電(class 4)節點.....	38
圖5-7 — 提供電源管理領域的二極體.....	40
圖8-1 — FW800 OHCI 控制器範例.....	46
圖10-1 — 兩連接埠電源管理IC.....	68
圖 10-2 — 使用多個兩埠的電源管理 IC.....	69

## Tables

表格2-1 — 插入力與移除力(暫定).....	9
表格2-2 — 1394b type 1 (Beta到beta)的點對點連接.....	13
表格2-3 — 傳統6接腳到1394b雙模式(bilingual)的點對點連接.....	14
表格2-4 — 傳統4接腳到1394b雙模式(bilingual)的點對點連接.....	15
表格3-1 — 1394b 接收器特性.....	16
表格4-1 — MI週期反射引起的虛假週期(Phantom cycles).....	29
表格 5-1 — Power class .....	39

## 2. 機構(Mechanical)

### 2.1 連接器(Connectors)

#### 項目 #2.1：連接器(連接頭與連接座)必須滿足IEEE標準的要求

連接座(socket)或說插座，必須能堅決抵制反向的插入。

這是說連接座的狹窄部分不可以有裂縫，除非有機構上的強化來防止當連接頭反向插入時對於狹窄端的張開。也就是說必須滿足[2], [3], 與[4]中制定的機構耐受規範。特別是，連接座必須符合以下插入力道的要求：

表格 2-1：插入力與移除力(暫定)

條件狀況(Condition)	插入力/移除力	註釋說明
6隻接腳連接頭對準插入6隻接腳連接座	< 1 N	採用 1394 所允許的最大尺寸連接頭以及 VG, VP, 或 TPx 接合之前的最大值來測量；當完全插入時必須有顯著的咔噠聲或是喀嚓聲。
9隻接腳連接頭對準插入9隻接腳連接座		
6隻接腳連接頭從6隻接腳連接座中正確拔出	> 1 N	採用 1394 所允許的最小尺寸連接頭以及 VG, VP, 或 TPx 接觸分離之前的最小值來測量；當移走拔開時必須有顯著的咔噠聲或是喀嚓聲。
9隻接腳連接頭從9隻接腳連接座中正確拔出		
6隻接腳連接頭反向對齊插入6隻接腳連接座	> 10 N	採用1394所允許的最小尺寸連接頭以及VG, VP, 或TPx接觸接合之前的最小力來測量；而連接座必須由於反向插入而顯著損壞。
9隻接腳連接頭反向對齊插入9隻接腳連接座		(允許不當使用的診斷用)

## 項目 #2.2：連接頭(plug)必須有一個外模，便於方向定位

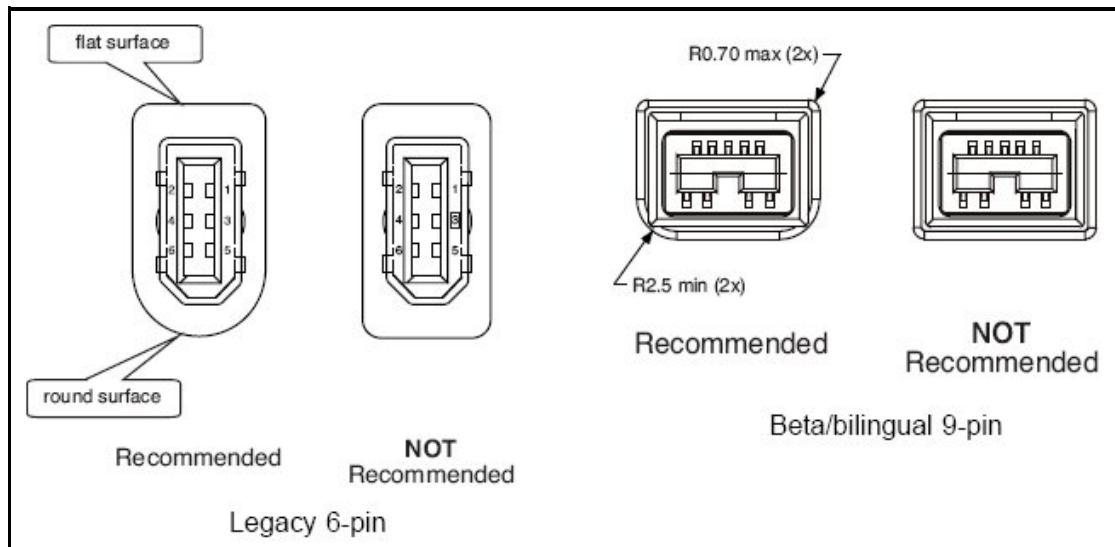


圖 2-1：連接頭外模(Plug overmold)

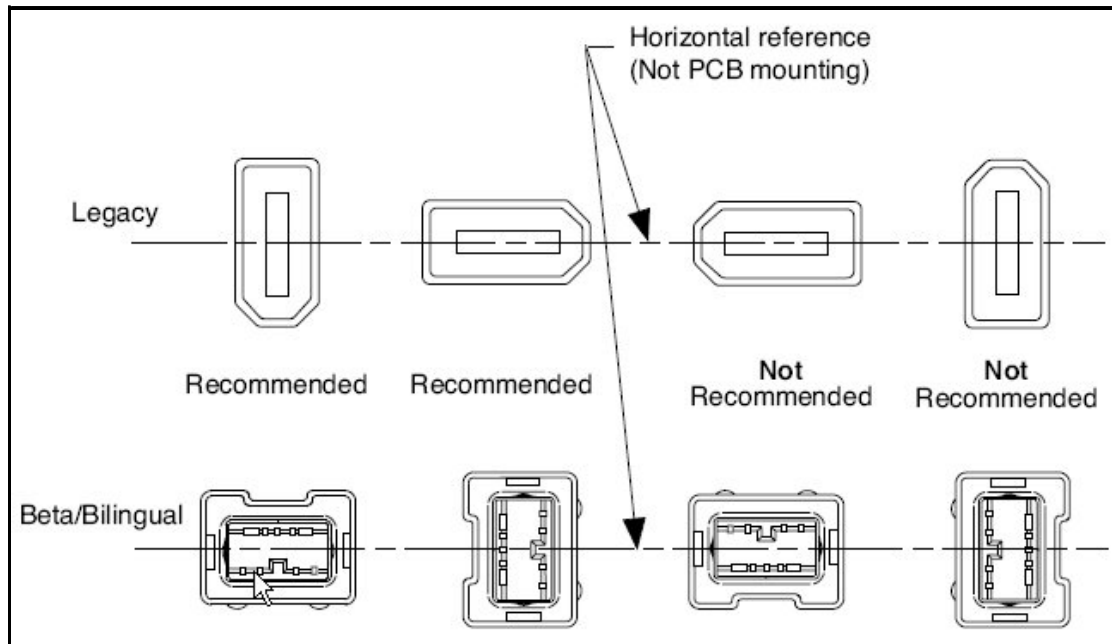
外模係提供暗示或是便利性，讓使用者知道拇指要放在何處。

- 水平表面(flat surface) 對應於窄軸上的”平”面。
- 圓弧表面(round surface) 對應於窄軸上的”角度”面。

此舉將可以協助防止反方向的連接(特別是若是遵循了連接器的擺置規則，敘述如下)。

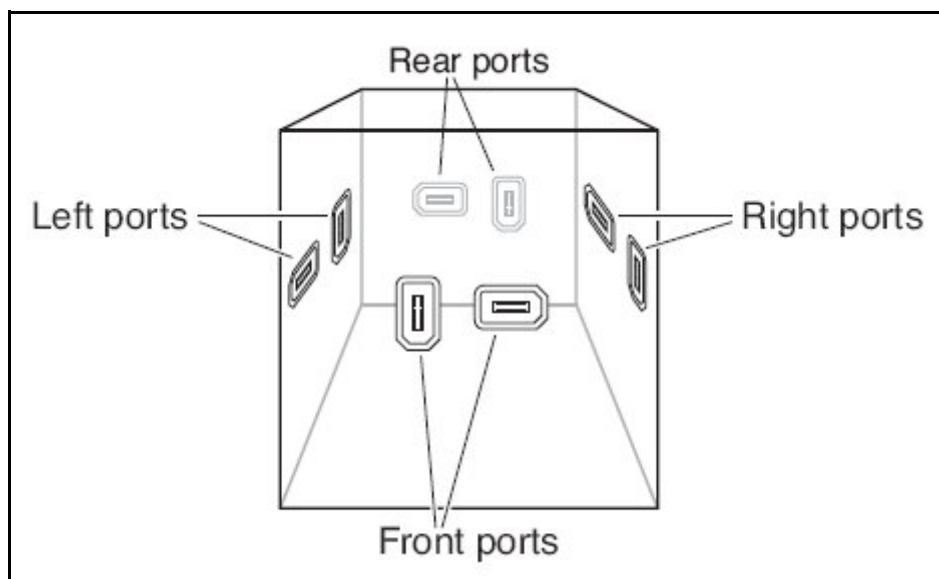
**項目 #2.3：連接座必須有正確的方位來確保連接頭的拇指接觸部分在上方或是左側**

連接座必須有標準的定向來幫助“盲目性的”插入。由於連接頭外模有特徵來慫恿使用者將拇指放在特定的位置，而且多數使用在插入時會將拇指放在連接頭的上方；因此，連接座本身必須定向為當從外端觀看時，”拇指”特徵即在上方。多數的使用者也是右手操作，另一個具有”拇指”特徵就在於左方。圖2-2與圖2-3就解釋了這個概念。



**圖 2-2：連接座的定向(從外部來觀看)**

... 或是從假定產品的前方來觀看：



**圖2-3：傳統連接座的定向(從產品前方來觀看)**

## 項目 #2.4：接續到單一PHY的连接座必須靠近

對於單一連接埠的连接器、PHY、保護與終端元件，最好視為一個「集中常數電路 (lumped circuit)」。1394a的最小上升時間0.5 ns，意指1 GHz波形；而1394b的最小上升時間為0.080 ns，暗示著超過6 GHz！

如果前方與後方面板上皆需要連接座，那麼，有兩種選擇：

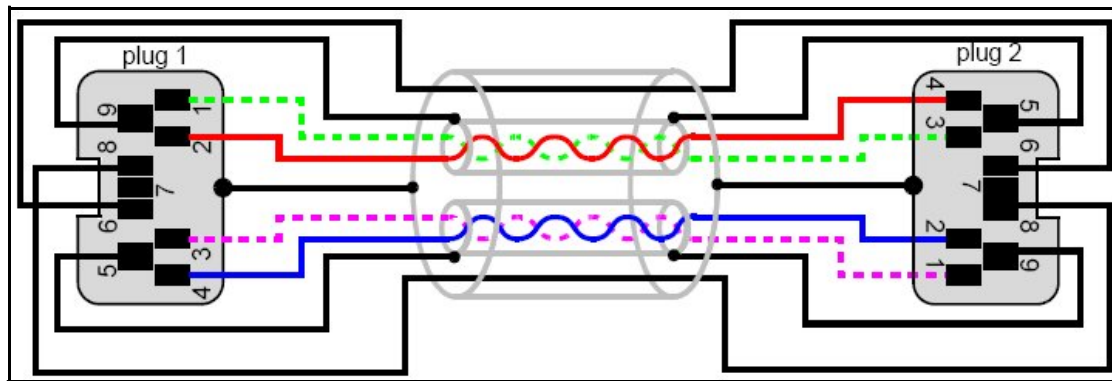
- a). 前方與後方面板的PHY各自獨立(兩個PHY與一個Link)，或是；
- b). 一個精心設計的遠端連接座，從PHY終端線路(參閱3.2.2)到連接座的全體路徑符合1394的要求( $110 \pm 6$ 歐姆差動特性阻抗與 $33 \pm 6$ 歐姆共模阻抗，更多細節在[2]中)。請留意這個方式在S800或是更快的連接埠，相當不容易成功。

## 2.2 點對點(end-to-end)的连接

### 項目 #2.5：FireWire 800 9對9 (1394b type 1)連接線組裝的屏蔽與接地不可短路在一起

由於設計人員比較不熟悉新穎的1394b連接，對於1394b連接線的各種點對點連接，描述於圖2-4、表格2-2、圖2-5、表格2-3、圖2-6與表格2-4。

註釋：傳統介面連接線(type 2 之9對6以及type 1 之9對4)將一些屏蔽與接地短路在一起。對於每種連接線形式，正確地處理是很重要的。

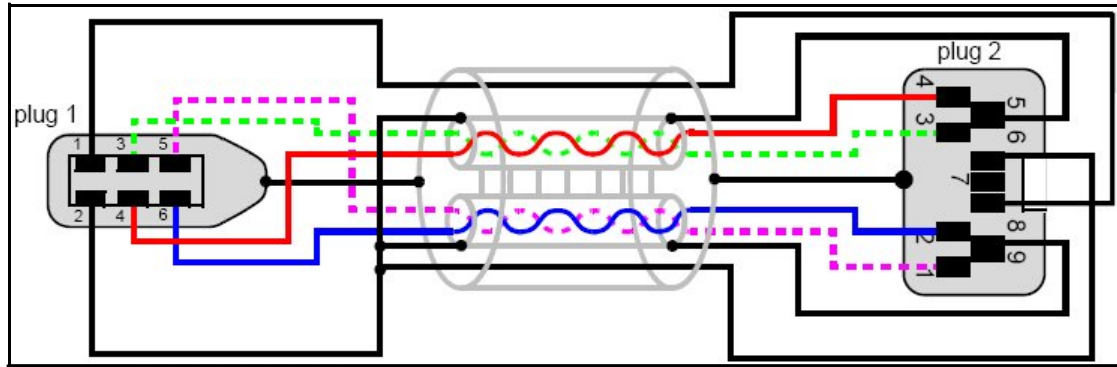


注：連接線定義在1394b。從連接頭前端面來觀看連接器。

圖2-4：1394b type 1 連接線組裝與示意圖(Beta連接頭到Beta連接頭)

表格2-2：1394b type 1 (Beta到beta)的點對點連接

信號	PCB焊墊	連接座/ 連接器 名稱	連接座/ 連接器 接續	連接線	連接座/ 連接器 接續	連接座/ 連接器 名稱	PCB焊墊	信號
機殼地	13	機殼地	外殼 (外層)	無連接	外殼 (外層)	機殼地	12	機殼地
機殼地, HF到邏 輯接地	11	連接線 屏蔽地	內殼 (內層)	外殼 (外層)	內殼 (內層)	連接線 屏蔽地	10	機殼地, HF到邏 輯接地
TPA	4	TPA	4	信號對 #1 紅色	2	TPB	2	TPB
高頻到 邏輯地	5	TPA(R)	5	信號對 #1 屏蔽	9	TPB(R)	9	邏輯地
TPA*	3	TPA*	3	信號對 #1 綠色	1	TPB*	1	TPB*
邏輯地	6	VG	6	電源對 #1 白色	6	VG	6	邏輯地
無連接	7	SC	7	無連接	7	SC	7	無連接
FW PWR	8	VP	8	電源對 #1 黑色	8	VP	8	FW PWR
TPB	2	TPB	2	信號對 #2 藍色	4	TPA	4	TPA
邏輯地	9	TPB(R)	9	信號對 #2 屏蔽	5	TPA(R)	5	高頻到 邏輯地
TPB*	1	TPB*	1	信號對 #2 橙色	3	TPA*	3	TPA*
機殼地, HF到邏 輯接地	10	連接線 屏蔽地	內殼 (內層)	外殼 (外層)	內殼 (內層)	連接線 屏蔽地	11	機殼地, HF到邏 輯接地
機殼地	12	機殼地	外殼 (外層)	無連接	外殼 (外層)	機殼地	13	機殼地

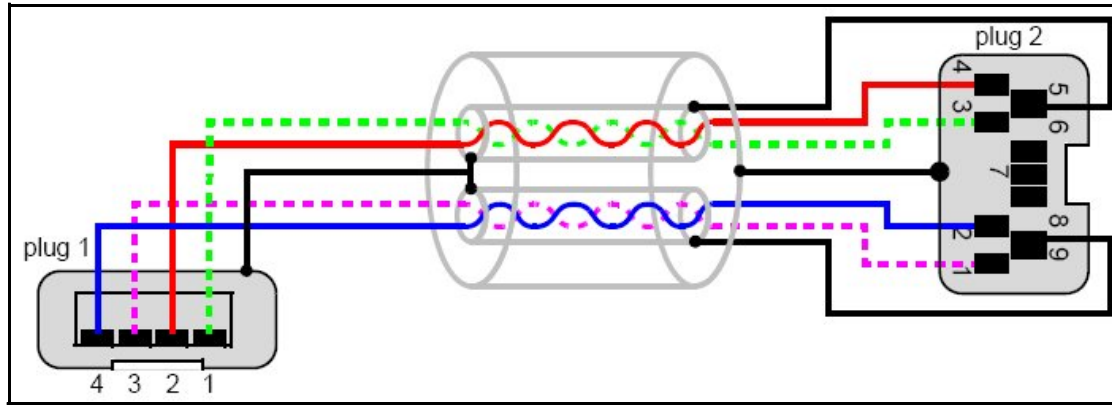


注：IEEE 1394-1995連接線(參考用)。從連接頭前端面來觀看連接器。

圖2-5：1394b type 2連接線組裝與示意圖(傳統6接腳連接頭到雙模式連接頭)

表格2-3：傳統6接腳到1394b雙模式(bilingual)的點對點連接

信號	PCB焊墊	連接座/ 連接器 名稱	連接座/ 連接器 接續	連接線	連接座/ 連接器 接續	連接座/ 連接器 名稱	PCB焊墊	信號
				無連接	外殼	機殼地	12	機殼地
機殼地, HF到邏 輯接地		連接線 屏蔽地	連接頭 外殼	外部 屏蔽	內殼 (內層)	連接線 屏蔽地	10	機殼地, HF到邏 輯接地
TPA	6	TPA	6	信號對 #1 紅色	2	TPB	2	TPB
邏輯地	2	VG	2	信號對 #1 屏蔽	9	TPB(R)	9	邏輯地
TPA*	5	TPA*	5	信號對 #1 綠色	1	TPB*	1	TPB*
邏輯地	2	VG	2	電源對 #1 白色	6	VG	6	邏輯地
FW PWR	1	VP	1	無連接	7	SC	7	無連接
TPB	4	TPB	4	電源對 #1 黑色	8	VP	8	FW PWR
TPB	4	TPB	4	信號對 #2 藍色	4	TPA	4	TPA
邏輯地	2	VG	2	信號對 #2 屏蔽	5	TPA(R)	5	高頻到 邏輯地
TPB*	3	TPB*	3	信號對 #2 橙色	3	TPA*	3	TPA*
機殼地, HF到邏 輯接地		連接線 屏蔽地	連接頭 外殼	外殼 屏蔽	內殼 (內層)	連接線 屏蔽地	11	機殼地, HF到邏 輯接地
				無連接	外殼	機殼地	13	機殼地
					(外層)			



注：IEEE 1394a-2000連接線(參考用)。從連接頭前端面來觀看連接器。

圖2-6：1934b type 3連接線組裝與示意圖(傳統4接腳連接頭到雙模式連接頭)

表格2-4：傳統4接腳到1394b雙模式(bilingual)的點對點連接

信號	PCB焊墊	連接座/ 連接器 名稱	連接座/ 連接器 接續	連接線	連接座/ 連接器 接續	連接座/ 連接器 名稱	PCB焊墊	信號
				無連接	外殼 (外層)	機殼地	12	機殼地
			無連接	外部 屏蔽	內殼 (內層)	連接線 屏蔽地	10	機殼地, HF到邏 輯接地
TPA	4	TPA	4	信號對 #1 紅色	2	TPB	2	TPB
邏輯地		外殼 (shell)	連接頭 外殼	信號對 #1 屏蔽	9	TPB(R)	9	邏輯地
TPA*	3	TPA*	3	信號對 #1 綠色	1	TPB*	1	TPB*
				無連接	6	VG	6	邏輯地
				無連接	7	SC	7	無連接
				無連接	8	VP	8	FW PWR
TPB	2	TPB	2	信號對 #2 藍色	4	TPA	4	TPA
邏輯地		外殼 (shell)	連接頭 外殼	信號對 #2 屏蔽	5	TPA(R)	5	高頻到 邏輯地
TPB*	1	TPB*	1	信號對 #2 橙色	3	TPA*	3	TPA*
			無連接	外殼 屏蔽	內殼 (內層)	連接線 屏蔽地	11	機殼地, HF到邏 輯接地
				無連接	外殼 (外層)	機殼地	13	機殼地

### 3. 連接埠設計

有一些不錯的 1394 連接埠設計應用指引(application notes)。尤其 TI 的 EMI [11]、跑線佈局 [12] 以及 LSI 的 FW323 [13] 設計指引相當棒。FireWire 系統的每位設計者務必要熟悉這些文件。以下很多是從這些應用指引文件中所引用的。

#### 3.1 介面(Interfaces)

所有的介面規格，運用於設備裝置的進入點和退出點。而且，介面規格在其他地方也是有效用的。這些點的認定有如圖 3-1 中的 TP2 與 TP3。規格假設所有的測量是在搭配的连接器對進行，而非來源端與目的地端。至於 TP1 與 TP4 是執行者所使用的參考點，用來指定廠商零件。特別是 PHY IC 將 TP1 視為傳送，TP4 為接收。

對於所有連接的參考點是機櫃與連接線屏蔽之間切換的 TP2 與 TP3。如果在機櫃屏蔽之內存在傳輸線的部分，它將被視為相關傳輸網路或是接收網路的一部分，而不是電纜設備的部分。

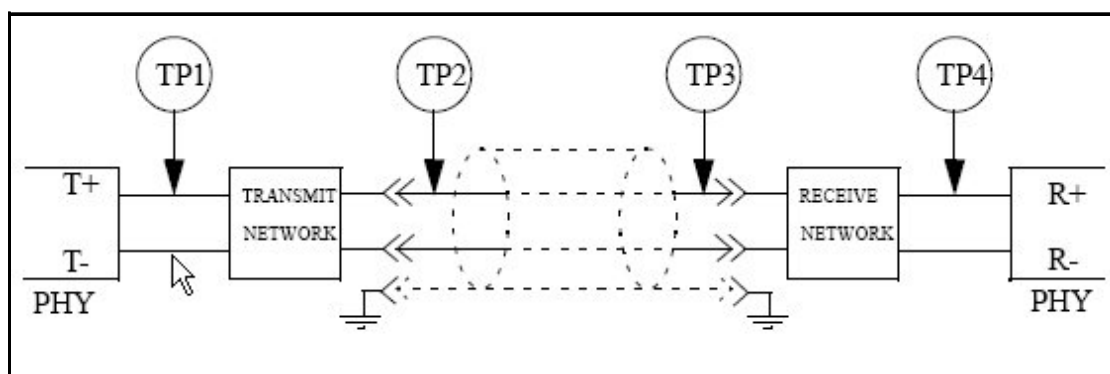


圖 3-1：測量點(連接顯示的一半)

註釋：請勿搞混了“TPn”與“TPx”，n 是數字 1~4，x 是 A 或 B。TPn 的涵義是測試點，而 TPx 則是指對絞線(twisted pair)信號

#### 3.2 連接器/PHY配線

##### 項目 #3.1：連接器到PHY的配線越短越好(TP1到TP2 與 TP3到TP4)

由於TPA與TPB信號對載送著非常高速的信號，對於高速電路與到外部元件的介面的實現，必須擁有相當卓越的設計實務。連接器/PHY 接線的阻抗需求必須滿足1394b的要求(整理如下作為參考)。

表格 3-1：1394b 接收器特性

參數	S400 $\beta$	S800 $\beta$	S1600 $\beta$	單位
輸入阻抗測試條件：				
TDR 上升時間	100	100	50	ps
Exception window <sup>a</sup>	700	700	700	ps
在 TP3 輸入阻抗：				
Through connection <sup>b</sup>	110 $\pm$ 20	110 $\pm$ 20	110 $\pm$ 20	歐姆
At termination <sup>c</sup>	110 $\pm$ 10	110 $\pm$ 10	110 $\pm$ 10	歐姆

表格 3-1：1394b 接收器特性(續)

參數	S400 $\beta$	S800 $\beta$	S1600 $\beta$	單位
差動偏移(Differential skew)	5%	5%	5%	UI
共模輸入阻抗	>550			歐姆

<sup>a</sup>. 在Exception-window之間，沒有單一的阻抗漂移(impedance excursion)在TDR上升時間規格的兩倍期間要超過Through-connection阻抗公差(或說阻抗容忍度)。

<sup>b</sup>. Through-connection阻抗透過配對的連接器描述阻抗公差。這個阻抗公差大於終端阻抗或是連接線阻抗，原因是連接器的技術所限制。

<sup>c</sup>. 為了終端，TP3的輸入阻抗必須沿著電氣參考面紀錄4.0ns，這個電氣參考面係由接收端的連接座所決定的。

註釋：1394雙模式與FW400連接埠在TPA以及TPB信號對上有傳送器與接收器，因此，接收器的輸入阻抗規格適用於兩信號對。

### 3.2.0.1 終端(Termination)

TPA信號對有110歐姆差動終端，盡可能接近PHY；終端的中心點接到該連接埠的PHY偏壓輸出，並電容性到信號地(PHY上的每個連接埠必須有一個獨立的偏壓輸出，這乃是必要的，可以防止某一連接埠的短路波及到其他連接埠不能動作)。

#### 項目 #3.2：確保TPBIAS去耦合電容(decoupling capacitor)有正確的數值

PHY的tpbias輸出必須使用0.33  $\mu$ F去耦合電容接到地端，除非是TI的PHY。TI PHYs需要一個1.0  $\mu$ F電容器接到地端，確保在最壞情況下速度信號的場合，tpbias電壓上的漣波會最小；此點在TI的設計上是必要的，可以維持tpbias驅動器的穩定性。當採用非TI的PHY時，則使用較低的數值，來迎合1394a對於tpbias起動與失效的時序規範。

### 3.2.0.2 TP EMC/EMI保護

#### 項目 #3.3：限制FW400最少的共模扼流圈來通過EMC規範

FW400連接埠也許需要高速的共模扼流圈(common mode choke)，特別是PHY到連接器的跑線距離較長或是接近信號源時。這時候每個信號對必須使用各別的元件來限制TPA以及TPB之間的串音(crosstalk)。這個扼流圈會讓較低的共模信號通過(但是移除了高頻的共模信號)。總之，此舉也意謂著在100 MHz的頻率點，共模阻抗低於165歐姆，差動阻抗低於15歐姆。

產品裝置必須採用最少的扼流圈數量來通過必要的EMC測試。設計上必須以一些數值來預期評估EMC兼容性(比如說，村田DLP11SN從67歐姆起始，其他廠商的元件可能在90歐姆、120歐姆、160歐姆等)，還有完全沒有使用共模扼流圈的狀況。設計上的可能辦法之一，就是讓跑線可以使用共模扼流圈或是0歐姆的電阻。

### 3.2.0.3 暫態保護(Transient protection)

#### 項目 #3.4：在電源提供端提供暫態保護電路來防止Vg連接對於PHY的傷害

電源供應端在PHY與連接座之間必須採用一個二極體構成的箝位(clamping)電路；這個電路提供了兩種機能：

a). 提供ESD的保護，讓高電壓排入到機殼(chassis)地；以及

b). “VG遲接”事件的保護(之所以如此來稱呼是如果VG的接續發生在VP與至少一個TPx連接完成之後才發生的話,VP的電源可能會加諸於TPx信號)。請留意這個機能在某處讓機殼地與信號地之間有一個低阻抗連接(參見項目#3.8)。

高端的箝位二極體採用額定 3.6V 的齊納二極體,經由 330 歐姆限流電阻偏壓在 3.3V 電源(其他的電源來源可能要使用合適的電阻值)。對 BAV99 二極體來說,這個方式提供額定 2.4V、最糟 2.1V 之 ESD 與 VG 遲接之軌道途徑。依此,允許 0.6V 的二極體壓降,此舉將許可 FireWire 信號直至 2.7V 也不會導致信號整合性(signal integrity)的問題。在信號對上的 VG 遲接事件將會透過齊納二極體回流到地端。VG 遲接事件可能長持續時間,意謂著 VP 電源供應的返回路徑;因此,電流必須直接回到 VG。推薦的齊納二極體可以持續電流 300mA 直到 2W,使得在信號對上的電壓位階低於 5.5V,也就是 PHY 元件能夠忍受的範圍。在更嚴格的壓力之下,可能是 PHY 或齊納二極體會失效。齊納二極體趨向於短路,使得 TPA/TPB 信號對維持在 GND 端,阻止 FireWire 動作。於某些設計上也可以使用較低電壓的齊納二極體,它會在 PHY 之前先失效,增加沒有必要的系統回返率(return rate)。

ESD 的發生乃是短時間事件,會從數位地排出到機殼地,然後流入大地。若是使用信號地來替代機殼地作為暫態保護電路是可以接受的,因為信號地在連接器端電容性接到機殼地。此舉僅能在 VG 途徑上沒有鐵氧體(ferrite)時才能這麼做(參考項目#3.6)。而在機殼地與信號地之間的電流連接(galvanic connection)必須為低阻抗,其頻率不會被在連接器端的電容性連接所處理。

如果使用共模扼流圈,暫態抑制線路盡可能擺置在扼流圈的 PHY 旁。在 PHY 旁有二極體的優點是讓共模扼流圈能夠更靠近連接器,獲得更佳的 EMI 性能。

在自我供電的裝置上並不會發生 VG 遲接的事件。暫態保護二極體必須有很低的電容值(通常小於 0.5 pF)

### 3.2.0.4 電源與接地之介面(VG/VP)

#### 項目 #3.5: FireWire 電源必須有電流限制與電流濾波

VP 必須限流在 1.5A,並對 EMI 電磁干擾做濾波處理,將系統洩漏到週邊裝置的雜訊抑制在最低。電流限制可以選用可復式保險絲(Poly Fuse)元件,即使它的反應有點慢而有短暫的過量電流現象,依然在可以接受範圍。對於 EMI 濾波,途徑中一個介於 50 歐姆到 1000 歐姆(100MHz)的扼流圈是可以接受的,位置要靠近連接座。一個 0.010  $\mu$ f 電容必須在連接座旁接到機殼地。

#### 項目 #3.6: VG 必須電容性連到機殼接地並以最小濾波(也許無)直接連到 PHY 信號地

VG 必須使用一個 0.010  $\mu$ f 電容在連接座旁 AC 連接到機殼地。在 VG 與 PHY 信號地之間的路徑不可以有明顯的阻抗,因為 VG 是 TPB 送出共模信號 TPA 接收的返回路徑。如果實施了濾波器,其設計必須能通過速度信號(100-120ns 脈衝約 20mA 在 VG 上)。通常,這就意謂著在 VG 路徑中的任何鐵氧體(ferrite),在 100MHz 必須為 50 歐姆或更低。

### 3.2.0.5 屏蔽介面(Shield interface)

#### 項目 #3.7: 所有非絕緣連接埠的連接座屏蔽必須直接連到機殼地

為了這個目的,在連接座底下必須有一片機殼地。在 1394a 以及 1394-1995 中電流隔離(galvanic isolation)的定義選項,不再使用。

### 項目 #3.8：連接座屏蔽必須直接連到系統中某處的VG

此舉通常是藉由連接機殼地到系統中某處的VG。是否需要更進一步的連接與最佳的位置當屬考量到EMC互容性與雜訊的免疫性時的系統設計問題。通常，連接座屏蔽與VG之間的DC連接並不在連接器端處理；若是基於實驗性的目的可以使用0歐姆。另外，所有的未隔離系統必須在接近連接器端將連接器屏蔽AC耦合(頻率特性待決定)到VG(請閱讀項目#3.6)。當發生VG遲接事件的場合，VP偷偷通過TPx，對於VP的回返路徑就需要在屏蔽與VG之間作DC連接。

### 項目 #3.9：需要隔離介面的系統需要使用Beta-only 1394b來連接

對於隔離連接埠(isolated ports)來說，1394b beta-only連接是更為紮實耐用的介面。所有使用1394a以及1394-1995 “浮動PHY(floating PHY)” 電氣隔離的PHY-Link介面並不鼓勵。

## 3.2.0.6 跑線佈局指引(Layout guidelines)

TPA/TPB信號對載送著高速差動信號以及較為慢速的共模信號(VG作為共模返回)。在信號對之間的信號歪斜(skew)或說延遲差，是很重要的注意點。底下是一般的準則：

- a). 跑線力求對稱。
- b). 盡力讓貫孔(via)轉換呈現對稱性。
- c). 沒有90度的直角式跑線。
- d). FW400路徑中最多兩個貫孔、FW800則為一個；在TPA+, TPA-, TPB+與TPB-的所有信號必須有相同的貫孔數量。
- e). 在PCB上差動信號蹤跡之差動信號對內信號間之延遲差(intra-pair skew)要小於10ps。
- f). PCB上支援FW400的連接埠，差動信號對與差動信號對間之延遲差(inter-pair skew)要小於25ps。
- g). 連接器與PHY之間距離盡量縮短(與系統相依，對1394a連接埠距離小於25mm是個好選擇，雙模式連接埠則為12mm；對適當的信號而言，這些距離的跑線能夠維持最小的信號上升時間)。
- h). 終端元件盡可能接近PHY(小於10mm，越接近越好)。
- i). 對終端電阻與二極體，最小化其分支長度(stub length)。
- j). 對1394連接埠信號提供半隔離的接地層(只在PHY與系統接地層相接)。
- k). 沒有其他信號跨過或接近TPA/TPB信號對，特別是不要時脈線或交換式電源相關的任何信號或接地/電源層。
- l). 數位接地層必須延伸到數位信號接續到連接器的接點。機殼地層必須提供在連接器之下，但是不可以延伸到數位信號跑線的線路板區域內。
- m). 閱讀並學習高速電路設計的知識。

### 3.2.1 終端(Termination)

與FW400相同，請參閱3.2.0.1. 跑線佈局(Layout)是關鍵。

### 3.2.1.1 TP EMC/EMI 保護

#### 項目 #3.10：FW800連接埠必須避免使用共模扼流圈

FW800 PHYs對於共模扼流圈(common-mode choke)增加之額外阻抗與電容所引起的信號失真非常敏感。幸好，FW800 PHYs也產生非常乾淨的差動信號，可以不需要一個扼流圈來消除殘餘的共模電流。因此，設計者就需要非常小心讓TPA/B信號對不會增加共模雜訊(長度相等、從雜訊源隔離等)。1394b連接器在傳送1394a信號時也具備了更佳的放射控制。

#### 項目 #3.11：FW800連接器插座必須內部結合內層與外殼

若能確保連接器插座的內部結合內層與外殼，共模扼流圈的採用就可以避免。對於所有沒有使用電流PHY/Link隔離的設計，如此做是適當的。(請留意連接器插頭的內層是接續到連接線的外殼)

若是在類似設計先前的經驗中顯示需要共模扼流圈，那麼在設計跑線佈局時可以允許共模扼流圈或一個0歐姆的電阻。如果確實共模扼流圈是必要，那麼，一個針對DVI或是S800 1394b設計好的元件是需要的。合適的元件如日商TDK的ACM2012H-900-2P等。

### 3.2.1.2 屏蔽介面(Shield interface)

#### 項目 #3.12：FW800 TPA與TPB彼此的屏蔽與FW400屏蔽皆有不同的終端要求

個別的信號對屏蔽在9隻接腳連接座中具有自己的連接方式。TPA屏蔽必須經由一個高阻值電阻(1M歐姆或是更高)並連一個0.1  $\mu$ F電容連接到數位地，以及經由一個0.001  $\mu$ F接到機殼地。TPB屏蔽必須直接連到數位地，並經由一個0.001  $\mu$ F接到機殼地。VP與VG則與FW400相同。請參考3.2.0.5。

### 3.2.2 前方面板(遠端)連接器配線(wiring)指引

#### 項目 #3.13：確保長配線的信號整合性來支援前方面板連接器

當主要目的用於後面板連接之PHY要支援前方面板的連接時，線路板的跑線或配線必須有效地屏蔽系統所產生的雜訊，而且，跑線或配線的長度也必須小心翼翼地控制(請參考上面的跑線佈局指引)。除此之外，如果信號對的長度比等效上升時間(0.5ns或是約25mm)更長，那麼，整個長度的特性阻抗必須維持在110 $\pm$ 6歐姆的範圍。請留意，額外的設計、跑線以及測試時間必須確保分外的EMC/EMI、信號劣化與阻抗匹配的要求，均能夠滿足。

前方面板的連接，並不鼓勵採用針對後方面板連接應用而設計的單一PHY，原因如下：

- a). 如果連接器到PHY的距離最小化，那將會更容易來獲得一個可靠安穩的系統。
- b). 連接線組裝時長度的預算空間總是假定在系統中(TP1-TP2以及TP3-TP4)不會明顯增加長度。這件事可能影響到整體信號衰減的預算範圍。
- c). 前方面板連接的應用僅有當系統就在使用者前方時才會有用處。桌上型系統可以提供這個功能，而直立式系統(tower system)通常會座落在桌子底下。對於直立式系統的較佳方案之一就是整體包裝中內含一個FireWire Hub裝置，讓使用者能夠將Hub擺設在最方便或是最有用處的地方。

當前方面板連接的存取是必要時，無妨考慮以下這些可能的方案：

- a). 妥協於連接器的位置。或許可以將所有FireWire連接座移到側邊(比如舊款的iMac)或是善用系統的大小來使得背後的連接器更容易存取(例如新款iMac)。
- b). 考慮在設計上追加另一個PHY，可以擺設在前方面板連接器旁。在後方PHY與前方PHY之間TPA/B信號線對的跑線較不敏感，畢竟其距離算是短而且在雙端又有終端阻抗。此外，對於外部連接線設計沒有特殊的考量，因為所有的信號衰減預算範圍可以由連接線組裝來使用。

**一個重要的提示：**

**項目 #3.14：若是一個系統有多個PHY而且至少其中一個PHY具有S800或更快的連接埠，那麼，所有的PHYs必須是S800或是更快**

這是因為一個系統具有S800(或更快)以及FW400 PHYs，將會構成一個混合式(hybrid)匯流排，不能夠執行於更有效率的純Beta模式。即使PHY僅有FW400外部連接器，它也必須是一個S800(或更快)PHY，具有S800  $\beta$ (或更快)的連接到其他系統的PHY。如此這般系統的使用者，只要在FW400連接埠上沒有任何接續，就能夠享用純Beta模式的優點。

本頁特意留為空白(This page left intentionally blank)。

## 4. 系統設計(System design)

### 4.1 PHY 的選擇

於設計階段必須與廠商重新評估所有的 PHY。以下這些檢視清單，可以善加利用：

- a). 決定出 PHY 實際的參數(圖 3-1 中測量點 TP1 與 TP4)。這些參數必須優於 1394 規範，這是因為規範的量測是在連接器端(圖 3-1 中測量點 TP2 與 TP3)；而且，您的設計在 PHY 與連接器之間將會追加額外的電路元件而降低了信號品質。
- b). 若是能在 PHY 中納入前述的保護功能是最好。鼓勵 PHY 的廠商如此做。
- c). PHY/Link 介面(以及任何其他可能接至 CMOS 輸入的雙向或是輸出接腳)必須藉由高電阻拉低。當 PHY 斷電或是介面因 PD 信號而失效時，可以避免掉其他端 CMOS 接收器信號的過量汲取電流。
- d). 更多資訊尚待決定。

### 4.2 PHY 配置的建議

#### 4.2.1 一般性(General)

項目 #4.1：確保Power\_class的設定正確。

項目 #4.2：確保CONTENDER不起作用(deasserted)。

除非軟體已經備妥，節點不要角逐成為等時資源管理員(Isochronous Resource Manager)。PHY的contender接腳必須始終置為無效。

### 4.3 連結層(Link layer)建議

#### 4.3.1 PCIe 之建議

項目 #4.3：連接PCIe CLKREQ\*

CLKREQ\* 必須連接到相對於PCIe REFCLK+/-的時脈晶片啟用端。時脈晶片然後編程為不予理會啟用(總是提供時脈)或是編程為接受低態動作的請求；這要依照系統的電源管理而定。一般來說，這個信號是開汲極的設計，因此，需要一個10K歐姆的拉高電阻。

## 4.4 特定元件的建議

### 4.4.1 TI TSB81BA3

請參考第五段關於電源類別(power class)的確定與實踐。

#### 項目 #4.4：TI PHY 的核心電壓為1.95V

名義上的1.8V電源線DVDD-1.8以及PLLVD-1.8，需要1.95V  $\pm$ 0.1V的電壓。如果使用濾波電阻(filtering resistor)，建議採用1歐姆的數值。由於考量到濾波電阻的壓降，1.95V LDO的輸出目標該為1.96V。

#### 項目 #4.5：TI PHY 核心電壓濾波使用1 $\mu$ F電容

TI建議在各個DVDD\_CORE電源端使用1 $\mu$ F的電容，盡可能靠近元件(若是直接隱藏在下方是最好不過了)，它提供了濾波的作用。

#### 項目 #4.6：TI PHY 振盪電壓可以是1.95V

雖然XI的輸入在文件上說明為1.8V輸入。TI證實了它可以接受1.95V的輸入，也就是說也可以從核心電壓來供電。

#### 項目 #4.7：當使用TI PHYs在中繼模式時，確保正確的PHY/LINK接腳終端方式

如果TI PHY用於中繼模式時，也就是說沒有附加連結層的模式(比如說，在前方面板上)，那麼，PHY連結介面接腳的終端方式如下：

不連接：PINT, CTRL0, CTRL1, D0:D7, PCLK (1394b PHY), SCLK (1394a PHY)

透過1K歐姆拉低電阻：LPS

直接拉到GND端：LREQ, LCLK (1394b PHY)

透過1K歐姆拉高電阻：BMODE (1394b PHY)

#### 項目 #4.8：確保TI Phys上未使用連接埠的配置與終端方式

沒有使用的連接埠0或連接埠1必須配置為DS-only模式，做法是各自將DS0或DS1經由1K歐姆電阻連接到VDD。如此可以防止過調(toning)並節省功率。

沒有使用的連接埠2必須配置為DS-only模式，做法是將LKON/DS2經由470歐姆電阻連接到VDD。如此可以防止過調(toning)並節省功率。

TPA+ 與 TPA- 接腳必須空接(若是將之連接到GND，可能引起錯誤的偵測)。TPB+ 與 TPB- 必須連接在一起並直接拉到GND端。TPBIAS端子必須留為空接。

註釋：若是設計允許連接器作為一個選項(亦即相同PCB佈局跑線的產品變型)，那麼，TPBIAS可以經由一般1 $\mu$ F濾波電容接到GND端(通常是材料上的選擇)，而TPB+ 與 TPB-接腳經由55歐姆接到一個共模模式接點，然後接續一個5K歐姆電阻到GND端(通常這也是材料的選擇，當連接埠沒用到時可將TPB+/-直接連接到GND端，亦即0歐姆)。

**項目 #4.9：確保LKON/DS2正確偏壓為高電位或低電位**

如果連接埠2操作在DS模式或是未使用，那麼，LKON/DS2必須藉由一個470歐姆電阻拉高並用一個1K歐姆的串接電阻接續到連結的PHY\_LINKON接腳。這是必要的，可以確保若是連結晶片沒有供電時配置設定有正確的偏壓(連結中的內部ESD保護電路作為拉低)，以及LinkOn到連結的正確信號。如果連接埠2操作在雙重(bi-lingual)模式，那麼，LKON/DS2必須藉由一個1K歐姆電阻拉低並直接接續到連結的PHY\_LINKON接腳(沒有串列終端電阻)。

請留意，此處更新了早期的建議，採用了其他拉高/拉低電阻或是串列終端電阻的阻值。

**項目 #4.10：小心當TI 1394b PHY連接埠2未使用或設定於DS-only模式之場合**

TI 1394b PHY上的連接埠2設定為DS-only模式是藉由一個470歐姆電阻將LKON/DS2拉高。在電源重置期間(通常僅在PHY第一次供電時發生)，可以讓連結層看見LKON為高電位。於是，可以引發一個軟體中斷。此舉需要PHY層完成重置之前連結層為有效用，或許不太可能發生，然而在新系統設計中，可供作參考。

**項目 #4.11：留意TI PHY最高連接埠速度在DS-only模式據稱是不正確的**

如果連接埠被強制在DS-only傳送模式，TI PHY正確地限制連接到S400(DS)；然而，PHY暫存器中的暫存器10對於連接埠的映射報告max\_port\_speed為3(S800)而非7(DS-only)。

因此，測試與生產的軟體需要解決這個問題。這個問題在Rev D中已修正。

**項目 #4.12：在TI PHYs的雙模式(bi-lingual)連接埠使用峰化電感器**

對於連接到雙模式連接器的TI PHY連接埠，建議採用峰化電感(peaking inductors)，當操作在Beta模式時，可以打開傳送波形的眼狀圖。在MCM封裝PHYs的場合，強烈建議採用峰化電感來維護信號整合性，當然對所有的PHYs也建議。建議18nH的電感，該電感必須與55歐姆的終端電阻串接(在電阻與共模偏壓/終端點之間)。

**項目 #4.13：在TI PHYs上連接PLLVD\_33到AVDD\_3\_3電源線**

這些在元件之中連接在一起。

**4.4.2 TI XI02213 (Cheetah Express, 又稱 Chex)****項目 #4.14：確保滿足TI PHY的建議**

TI XI02213內建一個TI PHY。所有對於TI PHY的建議皆適用於Chex。

**項目 #4.15：連接Chex OHCI\_PME# 到一個GPIO，求得最佳化的電源管理**

藉由連接這個信號到一個GPIO(比如說，南橋晶片上)，即使Chex與其PCIe連接處於時脈關閉的低功率模式下，PHY事件(譬如說新的連接)也會引發一個軟體中斷。軟體即可復原到全功率狀態來採取適當的行動。由於該信號是開汲極驅動，故，需要一個10K歐姆拉高電阻。

**項目 #4.16：確保Chex GRST#信號僅在連結層電源週期(power cycle)起效用**

這是一個平台重置(platform reset)，僅適用於連結層電源信號處於電力週期的時刻(特別是，僅在EFI將初始化元件之前的短暫時間)。具體地說，它不可在睡眠/喚醒週期起效用。

#### 項目 #4.17：讓Chex的GPIO沒有連接

這點適用於GPIO 0 - GPIO 7。

#### 項目 #4.18：將Chex CYCLEOUT作為一個測試點

當在進行偵錯調查時，CYCLEOUT是一個很有幫助的信號，作為示波器的觸發用。使用一個47K歐姆的拉低電阻，建構一個方便觸發的測試點。

#### 項目 #4.19：連接VDD\_33\_AUX 到 3.3V

VAUX從D3cold並不支援，而且AUX電源偵測位元也是硬體接到邏輯0。然而，將VDD\_33\_AUX連接到3.3V可以有最低的功率耗費。

### 4.4.3 德州儀器TSB82AA2 1394b 連結元件

#### 4.4.3.1 德州儀器連結實踐之要求

##### 項目 #4.20：確保滿足TI連結元件在實踐上的要求

內部1.8V電壓調節器的使用與否對於整體功率消耗，並無多大差異。若是沒有使用，那麼，1.8V經由1K歐姆電阻提供到REG18端子與REG\_EN\*端子。此時，無須外部的PCI/OHCI配置ROM記憶體，SCL與SDA必須經由220歐姆電阻接到地端。PCI\_RST\*必須直接連到PCI\_RST\_L，它不需要SMC的控制。

#### 4.4.3.2 睡眠模式電源需求

##### 項目 #4.21：確保TI連結元件在睡眠模式期間提供電源

當電源從元件移除時，TI的連結元件系列並不會保留GUID的設定。對於軟體來說，在系統電源重置時 GUID設定一次是很重要的，然後無須去更新，否則，安全漏洞會被開啟。因此，在睡眠期間有必要保留電力給元件，即使是單連接埠設計也是一樣。相同的道理，在AC電源首次供應電源時，G\_RST\*也必須使用一次，爾後就不需要了。

##### 項目 #4.22：確保滿足G\_RST\*的時序要求

G\_RST\*信號的時序要求需要信號啟用(維持在低電位)至少2ms，而信號的上升時間低於4.3ms。

一般來說，如此可以避免在電源線上使用RC電路。它必須連接到Power OK或是類似的信號，至少有2ms的期間。

##### 項目 #4.23：G\_RST\* 信號是非同步(asynchronous)

關於G\_RST\*信號與PCI時脈的時序要求，在元件資料規範中描述有錯誤。G\_RST\*是一個非同步信號；相對於資料規範中的指定要求，它可以在PCI時脈供應之前將信號失效(deasserted)。

#### 4.4.4 LSI FW643

##### 項目 #4.24：確保VAUX\_DETECT在FW643上拉高電位

封裝接腳VAUX\_DETECT必須拉高允許將永久型重置(sticky reset)與非永久型重置分開來。否則，導致PERSTN也將重置永久性領域(sticky domain)的結果，比如說，遺失GUID。預設上VAUX\_DETECT是拉低，因此，必須藉由一個外部10K歐姆電阻來拉高。

##### 項目 #4.25：確保FW643的電源重置與1.0V調節電源一致

FW643內部有一個電源開啟重置PUR(Power Up Reset)單元來保障正確初始化，而且石英振盪電路在供電時穩定動作。這個內部的PUR單元無須電壓上升。PUR會監視VDD10的電壓上升並且產生一個內部重置信號用來重置其內部正反器與停止其內部計數器直到VDD10上升到其峰值電壓的40%-70%(上升的門檻)。在這段時間，PUR輸出維持在低電位並持續於PUR時期在低電位狀態。一旦時間來到，輸出切換到邏輯高電位而內部的計數器也在那時候關閉。前端有一個內建遲滯(hysteresis)以及一個濾波電容器來排除VDD10電壓上升時的雜訊。這個單元也偵測VDD10的電壓下降。當VDD10下降到一定的位階之後(由下降門檻來指定)，PUR的輸出將進入低電位。

如果FW643的內部調節控制器(以及相關的外部電路)係用來產生1V供應電源，在FW-RESET\_N輸入端無須額外電路。其內部有一個拉高電阻，可以保持不連接。

無論如何，如果VDD10與VDD33的電源供應是獨立控制，使用者需要保障VDD33的電源達到它的必要電壓位階(3.3V +/- 10%)，而且是在達到VDD10電源40%電壓位階之前，如此才能保證有足夠的時間讓石英振盪器動作穩定。或者是，低電位動作FW-RESET\_N輸入端子直到3.3V電源到達其必要的電壓位階之際才起效用。如此將拉長電源開啟重置來確保石英振盪器的穩定動作。

#### 4.4.5 LSI FW323

##### 4.4.5.1 LSI整合PHY/Link的實踐要求

##### 項目 #4.26：確保滿足LSI整合PHY/Link元件的實踐要求

CNA與LPS輸出沒有使用到，不可以連接。一個外部的OHCI配置ROM元件也不需要，ROM\_CLK以及ROM\_AD接腳必須接續到地端。起效用的配置接腳(一般是CARDBUSN與一個或多個PC0, PC1與PC2)必須經由10K歐姆電阻連接到VDD。PCI\_RST\*必須直接連到PCI\_RST\_L，它不需要SMC的控制。

##### 4.4.5.2 睡眠模式的電源要求

##### 項目 #4.27：對於LSI整合PHY/Link的元件，確保在睡眠模式期間供應電源

若是電源從元件上移走時，LSI FW323元件系列並不會保存GUID設定。軟體在系統電源重置設定GUID一次之後無須更新是很重要的；否則，會開啟一個安全漏洞。因此，有必要在元件睡眠期間依然保留電源，即使是單一連接埠的設計也是一樣。在AC電源首次供應電源時，RESETN也必須使用一次，爾後就不需要了。

##### 項目 #4.28：確保PME對於LSI FW323 v129.的軟體是唯一可識別的

在這個元件上並無LinkOn接腳，軟體發現元件在低功率模式下的新連接、斷接或類似的重大事件，唯一的辦法就是透過PCI PME。軟體能夠分辨出這個PME中斷與其他的PME中斷是很重要的，所以無須去輪詢毫不相關的PME中斷(此事牽涉到喚醒元件的PCI時脈部分、初始化、讀取暫存器、發現沒有改變再將元件弄回到睡眠狀態)。實踐的方法是連接PME中斷到專用的GPIO端子，或是確保PCI匯流排沒有被任何其他元件所共享，以如此橋接的方式讓FW323的PME中斷可以與其他元件的PME中斷區分開來。專用的GPIO是首選的方案，所以驅動程式(driver)可以同樣的方式來處理一系列的系統元件(或裝置)。

## 4.5 PHY/Link 介面

PHY/Link介面必須遵循1394a Annex J1或是1394b第17條中的規範。若是使用1394b PIL/FOP介面，也必須適用1394b第18條。

串接終端阻抗(一般為22歐姆)在某些設計中是有所幫助的，卻也必須去留意信號反射的問題(請參閱項目#4.30：如下)。

### 4.5.1 額要的要求

#### 項目 #4.29：在PHY/Link 介面上所需的內部或外部電位拉低

介於連結(Link)、PHY與其他系統零件的所有信號都必須經由一個高阻值電阻拉低到地端。即使當連結、PHY(或其他系統零件)電源中斷時，這個拉低電阻也必須有作用。若是沒有這個措施，信號可能飄移到CMOS的開關領域而造成過多的功率消耗或是呈現不穩定的動作。建議的方法是在PHY與連結雙方都包含內部的信號拉低；如果內部沒有拉低，那麼，外部的拉低就有必要了。

#### 項目 #4.30：若是PHY/Link傳輸延遲大於1ns，需要特殊的終端方式

若是PHY/Link介面的傳輸時間大於1ns，那麼時脈週期的信號反射可能在下一個時脈被元件所看見。特別是，元件可能誤解CTRL[1:0]與DATA[7:0]信號。這個效應在PHY/Link介面大於1.4ns的系統上常見到。當在對等式端裝置使用22歐姆的串列終端電阻時，這個效應更為嚴重。除此之外，當連結返回介面信號給PHY時，這個效應也與連結端所收到PClk相關；此時，CTRL以及DATA在連結介面上是同步輸出。連結以LClk驅動這些信號，但是在返回介面信號到PHY之後，連結會利用PClk來取樣相同的信號。

這個效應最有可能在傳送一個MORE\_INFORMATION週期之後，當連結返回介面給PHY時發生。這個誤讀會導致連結看見一個虛幻(phantom)或是虛假的RECEIVE週期、GRANT週期或是STATUS週期。一個虛假的RECEIVE週期通常無害(一個單週期小封包)。一個虛假的GRANT週期在當PHY控制介面時，連結傳送另外封包，因而造成PHY遺失一些或所有封包。一個虛假的STATUS週期可能導致連結誤動作，因為可能D[0:7]不止一個設定(在有效的STATUS週期僅有一個位元設定)，特別引起了不公正(延遲非同步封包)或是等時相位的混亂(連結在傳送一個等時封包時延遲一個週期)。底下表格整理了所有連結可能見到的虛假週期。

**表格 4-1：MI 週期反射引起的虛假週期(Phantom cycles)**

D lines	傳送之 MORE_INFO 週期 (CTL = 11)	取樣之 Status 週期 (CTL = 01)	取樣之 Grant 週期 (CTL = 11)	取樣之 RX週期 (CTL = 10)
[0]	Format (Beta = 1)	PH_BUS_RESET_STAR T	Grant Format (Beta = 1)	
[1]	PH_NEXT_EVEN/PH_NEXT_ODD/ PH_CYCLE_START_REQ	PH_ARB_RESET_ODD	Grant Type = Async/CS/Immediate	

[2]	PH_ISOCH_REQ_EVEN/ PH_CURRENT/PH_NEXT_ODD	PH_ARB_RESET_EVEN	Grant Type = Isoch/CS/Immediate
[3]	PH_ISOCH_REQ_ODD/ PH_CURRENT/PH_NEXT_ODD	PH_ISOCH_ODD	Grant Type = Async/Immediate
[4]	EOS	PH_ISOCH_EVEN	-
[5]	Speed = S400/S800	PH_SUBACTION_GAP	Grant Speed = S400/S800
[6]	Speed = S200/S800	-	Grant Speed = S200/S800
[7]	-	-	-

#### 4.5.2 信號佈線指引

必需很小心來避免介於PCI信號與FireWire高速信號之間的串音(crosstalk)以及從PCI信號的地線波動(ground bounce)。確保PCI介面充分接地，並且盡可能遠離FireWire接地。

## 5. 連接線電源(Cable Power)

### 5.1 簡介

FireWire 的主要優點就是能夠從匯流排提供電源給裝置。當在設計裝置時，就要考慮到產品是否要成為電源取用端(從匯流排上來汲取電源，或是對內部電池充電)、電源供應端或是電源中繼端，並判定在各種不同的功率狀態中是否能夠提供以上這些功能。

對於匯流排的明確考量是要確保對於所有電源取用端的要求可以足夠的供應。每個裝置允許它的 PHY 始終從匯流排，而且可以吃足 3W。裝置在尚未取得電源管理員(power manager)的許可之前，是不能耗用這些瓦數的。當電源管理員確定有足夠電力時，即會送出「LinkOn」PHY 命令到電源取用端。在匯流排重置上提供有限量的狀態來讓電源管理員來評估電力需求與可用性。

目前，電源管理員尚未被實踐。

對於電源分布的主要參考是1394 TA文獻 “Power Specification Part 1: Cable Power Distribution” TA 1999001-1 (October 5th 1999)；而電源管理的主要參考是1394 TA文獻 “Power Specification Part 3: Power Distribution Management” TA1999001-3 (January 15, 2000)。然而，與在本文件中的建議有明顯的差異。這些差異整理如下。

注：一個裝置通常會編入一個PHY，並在匯流排上呈現出一個節點。如果裝置編入了多個PHY，那麼，這些法則獨立適用於各個PHY(每個節點)。

### 5.2 FireWire 電源檢視清單

#### 項目 #5.1：所有在保護二極體與連接器之間的零件與跑線必須能夠承受33V或更高電壓

外部電源供應端可能提供到30V的電壓。

#### 項目 #5.2：PHY的動作不可受到電源供應端觸發的電流限制所影響

PHY的設計必須確保即使監管的電流限制器觸發，依然可繼續正常動作。請注意，若是電源準備不足將會引發匯流排重置，當電流限制器重覆性觸發與重置，PS狀態(連接線電源狀態)將會改變。

#### 項目 #5.3：電源供應端的系統操作不可以受到電源取用端的入侵電流(inrush)或短路所影響

當一個FireWire裝置接續到電源供應端，或是突然耗費額外的電力時(比如說，硬碟馬達開始運轉之際)，入侵電流可能在電源供應上引起電壓的下降。如此一來將會影響到系統部份的動作。某些裝置的設計忽略了這個入侵電流的限制，若是一個短路的FireWire裝置接續上時，會遭遇到更為嚴重的問題。

針對這個問題，通常是在系統電源架構中做保護。同時，在電源供應上串接限流電阻是有助益的。連接埠保險絲在短路的FireWire裝置接續上會有幾秒鐘的短路，限流電阻會限制電流讓AC/DC提供足夠久的時間來讓保險絲燒掉。請留意此電阻並非可變電阻，設計者必須使用正確的電阻值。至於使用怎樣的電阻與阻值，則要看系統的設計而定。

若是在VP與VG之間沒有這個電阻，短路會毀損電源配接器而造成系統掛掉。然而，初選的電阻值可能在矽熔保險絲(polyfuse)燒掉之前就損壞。在這種場合之下的最後辦法就是採用低電阻值元件(0.025歐姆1W)並使用0.5A的矽熔保險絲(polyfuse)。通常，多態矽熔保險絲(polyfuse)維持一個負載在它的2倍額定值，電阻也必須能夠承受這個負載。

#### 項目 #5.4：Power Class 4的電源供應端必須實踐適當的CSRs

任何宣告為Power Class 4的電源提供節點，必須實踐Power Management CSRs，用來表示其電源提供的能力。這些定義在[6]。

#### 項目 #5.5：從介面取得電源供應的攜帶式裝置與週邊產品必須宣告它的電源類別

當裝置從匯流排汲取電源時，必須宣告其power class 4, 6 或7(從匯流排上總耗費低於3W, 7W或10W)。在power classes 6或7，它必須支援LinkOn；同時在LinkOn收到之前，遵守耗費低於3W的原則。若是一個節點需求超過10W，比如說對電池充電，不是(a)宣告為Class 4使用低於3W在PHY、連結與管理目的，就是(b)採用Class 6使用低於7W在PHY、連結與管理目的；並支援LinkOn。在這兩者場合下，它就必須採用Power Management CSRs來宣告其需求高至45W，並允許其電流耗費由電源管理員(power manager)來控制。

請參閱5.4.4節的範例。

#### 項目 #5.6：電源取用端必須實踐電源管理CSRs.

定義於[6]中。

### 5.3 FireWire 裝置指引

PA1) 當裝置接續到主電源，它以底下方式提供電源到匯流排：

- 當作主要電源供應端，在大於或等於20V時提供20W(推薦24-26V)，宣告本身為power class 1或是
- 作為一個輔助電源供應端，在12-15 V提供8W，宣告本身為power class 4(對於多連接埠裝置)或是power class 0(單連接埠裝置)，並盡可能從匯流排供電給PHY。

PA2) 當裝置連接到主電源時，它提供電源到匯流排上作為輔助電源供應端(Alternate Power provider)，提供12-15V之8-16W輸出，並宣告為power class 4(多埠裝置)或power class 0(單埠裝置)。

更高的功率供應(20W ~ 45W)就留給外部的Hubs裝置。

當裝置連接到主電源時，即使在“睡眠(sleep)”或是“關閉(off)”，也必須供應電源到匯流排上。

PA3) 當單連接埠裝置從電池取得電源時，它不外乎：

- (可攜式裝置)當扮演提供電源到匯流排作為輔助電源供應端(power class 0)，在受保護的電池供應8W(通常介於9.25V~15V)；或是，
- (行動式裝置，永不會連接到主電源)絕對不會供應電源到匯流排上。

PA4) 當多連接埠裝置從電池取得電源時，它不外乎：

- (可攜式裝置)當扮演提供電源到匯流排作為輔助電源供應端(power class 4)，在受保護的電池供應8W(通常介於9.25V~15V)，即使處於“sleep”或是“off”也盡可能從匯流排供電給PHY；或是，

b) (行動式裝置，永不會連接到主電源)絕對不會供應電源到匯流排上。

PA5) 當裝置從匯流排汲取電源時，必須宣告其power class 4, 6 或7(從匯流排上總耗費低於3W, 7W或10W)。在power classes 6或7, 它必須支援LinkOn; 同時在LinkOn收到之前, 遵守耗費低於3W的原則。若是一個節點需求超過10W, 比如說對電池充電, 它不是宣告為Class 4使用低於3W在PHY、連結與管理目的(a), 就是採用Class 6使用低於7W在PHY、連結與管理目的(b); 並支援LinkOn。在這兩者場合下, 它就必須採用Power Management CSRs來宣告其需求高至45W, 並允許其電流耗費由電源管理員(power manager)來控制。

PA6) (未來的需求)一個從匯流排耗電超過3W的節點, 必須包含電源管理軟體(Power Management Software)。如此可以避免依賴不存在或不合適的電源管理員。若沒有電源管理員, 會帶來不良的使用者經驗。

PA7) 任何時刻一個節點更改power class時, 它藉由一個短匯流排重置來宣告。需要小心來處理電源供應的順序關係(在改變power class來宣告可用之前供應電源, 僅在改變power class來宣告缺乏可用之後移除電源)。

PA8) 主要電源提供端(Primary Power Providers)的保護電路必須包含各個連接埠的二極體保護來(a)防止匯流排供應電壓的耗費以及(b)緩和更高電壓電源供應端的超控, 並在每個連接埠採用可重置保險絲來限制電流的汲取。對於所有多連接埠電源供應端, 保護電路必須包含各個連接埠的可重置保險絲來限制電流的汲取。各個連接埠必須供應但不得超過1.5A。請留意這個必要的保護措施是用來保護來自連接埠與內部供應另外連接埠的電流加和。除此之外, 對於所有電源供應端必須內建電流保護, 確保任何VP線的短路不會影響到內部的電源。請閱讀底下參考電路。

PA9) 任何宣告Power Class 4的節點與其電源供應(亦即輔助電源供應端)必須實踐CSRs, 乃是用來表示其電源供應能力(Power Class 4的含意就是去讀取CSR來知道機能)。

PA10) 設計之際必須讓PHY即使電流限制啟動時依然可以動作。請留意, 缺乏電源的供應將頻繁引起匯流排重置, 當電流限制器反覆啟動與重置之際, “PS” (Cable Power Status)的狀態將會改變。

PA11) 一個外部電源(power brick)藉由電源的存在而被偵測到, 但是, 缺乏在連接埠上的接續。一個節點可以從一個外部電源(power brick)來汲取它所能供應的電力。

PA12) 任何多埠裝置沒有各個連接埠保護二極體時(一般為Power Class 4節點), 其設計必須若是沒有本地電源時(比如沒插電等)至少可以讓PHY從匯流排取得電源。若是裝置沒有中繼資料, 也不能讓電源通過。系統的設計是允許違反這條規則的, 其條件是沒有連接到主電源; 這種情形被視為非正常模式的動作。

## 5.4 電路的範例

本節將展示各種應用的電路範例(包含了電源供應, PHY Vdd從匯流排取電源以及所有的保護電路)。請留意這些電路僅是功能上範例而非正確的實踐方式。特別在高電流系統中並不使用這麼多數量的二極體, 畢竟順向電流的功力消耗是個問題。使用極性偵測的開關可能是較佳的選擇。

附件10扼要地描述一個假定(hypothetical)的積體電路, 它可以用來實踐所有底下的範例。

**項目 #5.7：確保CPS正確地連接**

可從連接線電源取得電力的多連接埠系統必須將CPS的接點讓各連接埠的VP或接在一起，確保連接線電源正確報告。系統在某些場合下當連接線電源存在卻不能對PHY供電之際，就必須從隔離二極體的電源供應端取得這個輸入，用來防止增量(pump-up)電流進入沒有供電時的PHY（雖然任何的這類電流經由高值的串列電阻而非常小）。

桌上型電腦、伺服器或是Hub主要電源供應端。

一般固定的裝置可以是主要電源供應端。如此可以讓電力的管理更為容易(如上)，若有必要，每連接埠可輸出到45W。電源領域的隔離是藉由每連接埠的二極體。只要主電源可供電，即會提供給PHY與連接埠(當裝置插入時)；即使它在睡眠模式中…。

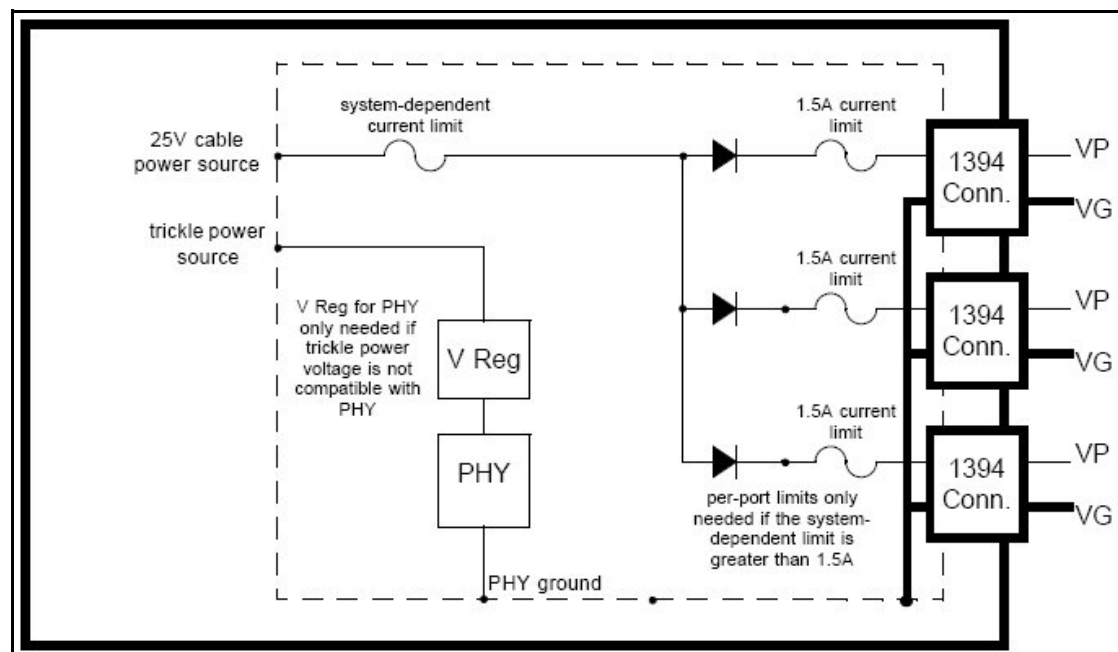


圖5-1：一個多埠電源供應端，class 1/2/3 節點

如果裝置能夠供應大於 1.5A 的能力，由於 1394 規制經由各個任何連接埠的消耗不會超過 1.5A；因此，在每個連接埠可以使用 1.5A 的電流限制器(若是經由連接埠耗費超過 1.5A，1394/1394a 的速度信號會失效)…

### 5.4.1 桌上型系統輔助電源供應端(Desktop alternate power provider)

另外一個方法建構桌上型系統是作為一個輔助電源供應端，其中各個連接埠並無二極體的隔離。這個裝置在插入之際，即使處於睡眠或是關閉(off)狀態，仍然會提供電源。由於它並沒有阻止電源從一個連接埠流動到另外連接埠，因此，它也就必須保證有匯流排電源存在的任何時刻，PHY 可以中繼資料。換句話說，PHY 必須從匯流排上取得電源，如底下圖 5-2 所示。

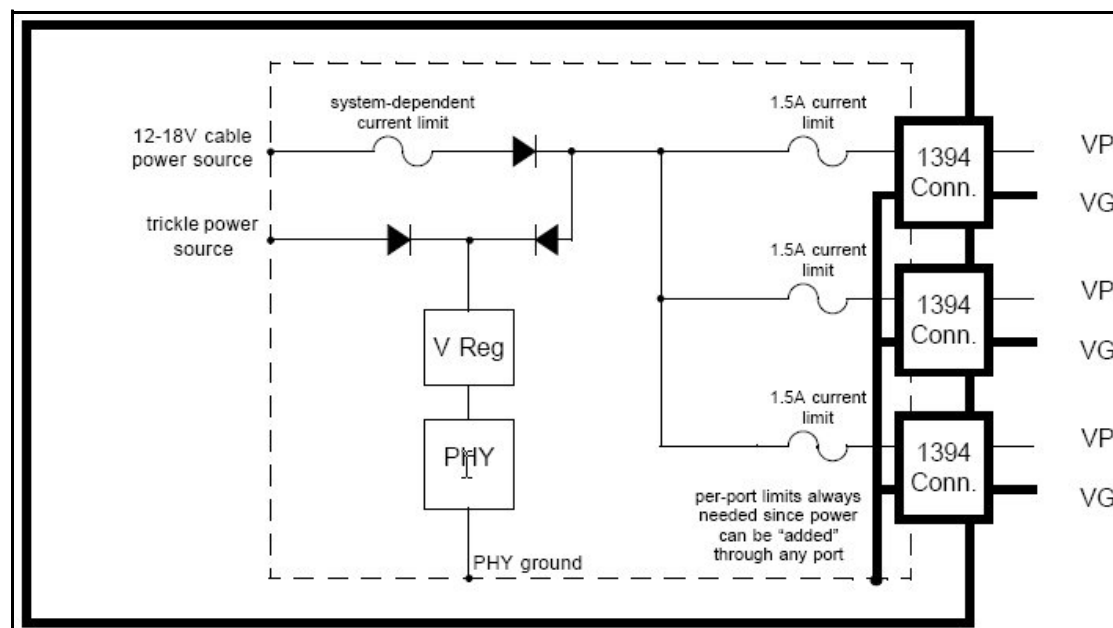


圖5-2：一個多埠電源供應端，class 4節點

當提供本地電源時，電力就供給 PHY 與三個連接埠。並無電源域(power domain)的隔離：電源可在連接埠之間流動。

當本地電源並未提供電力，PHY 會採用匯流排電力來動作。

由於範例裝置具有兩個或更多連接埠，在每個連接埠上需要 1.5A(min)的電流限制器。這種措施提供了調節式的電源保護(若是無此保護，某個連接埠上的故障裝置可能在其他連接埠或是系統耗費過多的電力)。電流限制器至少必須 1.5A，然而 1394 規制經由各個任何埠的消耗不會超過 1.5A(若是經由連接埠耗費超過 1.5A，1394/1394a 的速度信號會失效)。

一個具有如此設計的節點，必須確保對於中止埠不會通過(pass through)電力。

### 5.4.2 桌上型主要電源供應端具有備用通過電力

若是結合以上兩個設計的方式也是可行的，它允許一個節點在主電源可供利用時作為主要電源供應端；而當主電源關閉時，仍然可以通過電力與資料。

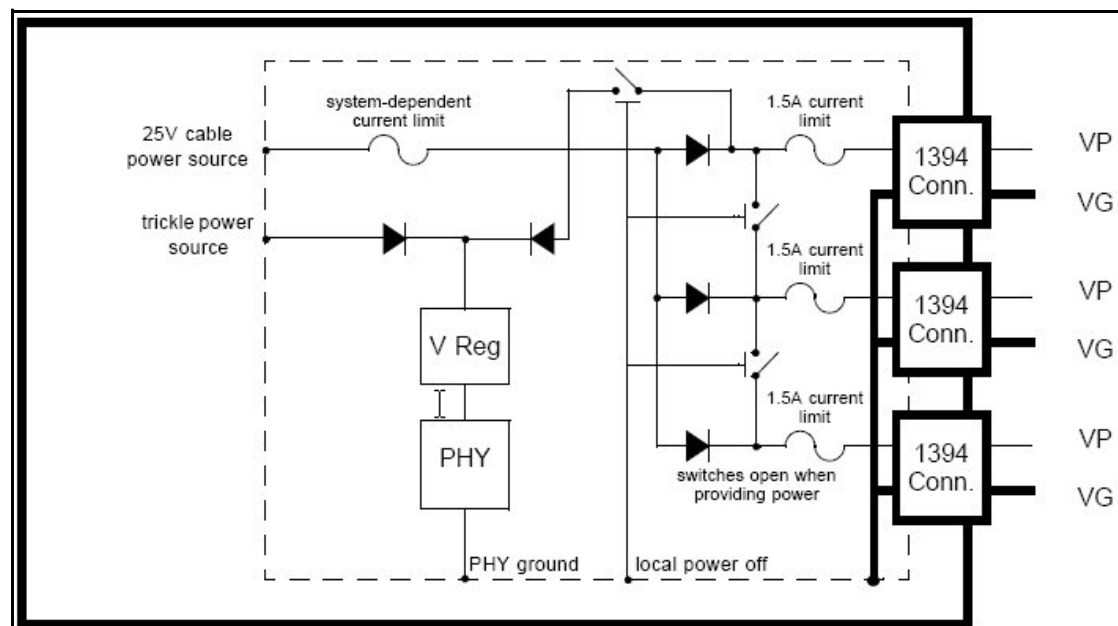


圖5-3：一個多埠電源供應端class 1/2/3 節點，當無電力可用作為class 4

此裝置當插入時提供電力到 1394，即時在睡眠模式也是如此。

當供應本地電源，三個開關打開。電源供應到 PHY 與三個連接埠。藉由三個各連接埠二極體來隔離電源域。

當未供應本地電源，三個開關關閉。電力在連接埠之間中繼而 PHY 使用匯流排電源動作。請留意動作必須一致，當電源供應或撤離時，經由連接埠的電力取用端就不會見到電源供應的中斷。當本地電源可供應時，開關打開(但在匯流排重置前宣告 power calss 1, 2 或 3)；在移除本地電源之前開關關閉(但在匯流排重置後宣告 power calss 4)。

由於裝置具有三個或更多連接埠，每埠需要 1.5A(min)電流限制器。這種措施提供了調節式的電源保護(若是無此保護，某個連接埠上的故障裝置可能從其他兩個連接埠上的電源供應端耗費過多的電力)。電流限制器至少必須 1.5A，然而 1394 規制經由各個任何埠的消耗不會超過 1.5A(若是經由連接埠耗費超過 1.5A，1394/1394a 的速度信號會失效)。

一個具有如此設計的節點，必須確保對於中止埠不會通過(pass through)電力。

### 5.4.3 可攜式電腦(Portable computer)

攜帶式電腦往往是輔助式電源供應端，僅限於有限制電力量的應用。

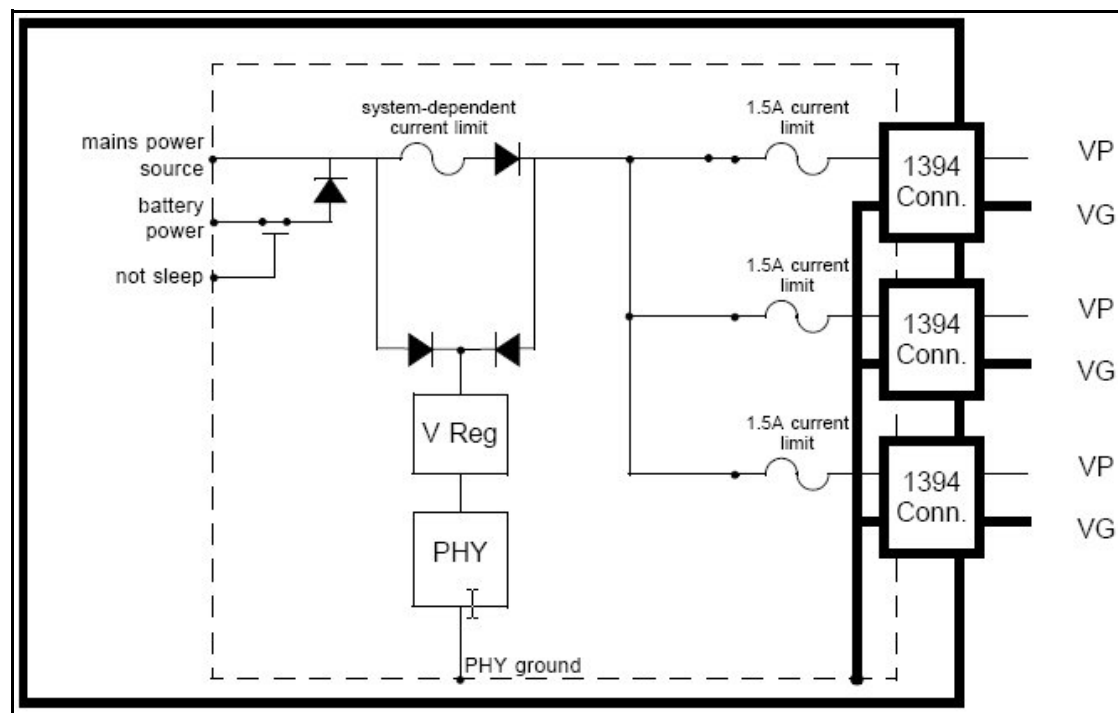


圖5-4：一個多埠的輔助電源供應端class 4節點

此類裝置當插入牆壁市電或是電池供電不處於睡眠模式時，會供應匯流排電源。當匯流排電源電壓高過系統提供的連接線電源時，供電給PHY；反則PHY是從本地電源供應。

若是裝置具有兩個或更多連接埠，每埠需要 1.5A(min)電流限制器。這種措施提供了調節式的電源保護(若是無此保護，某個連接埠上的故障裝置可能在其他連接埠以及內部供應耗費過多的電力)。電流限制器至少必須 1.5A，然而 1394 規制經由各個任何埠的消耗不會超過 1.5A(若是經由連接埠耗費超過 1.5A，1394/1394a 的速度信號會失效)。

一個系統相關的電流限制提供用來保護本地電源，防止外部裝置的過量索求以及達到調節用途的目的。

#### 5.4.4 週邊或行動式裝置(Peripherals or mobile device)

若是合適的話，單一埠行動式裝置可以供電給它的 PHY。由於這類裝置並不中繼 FireWire 信號，因此這是可接受的。

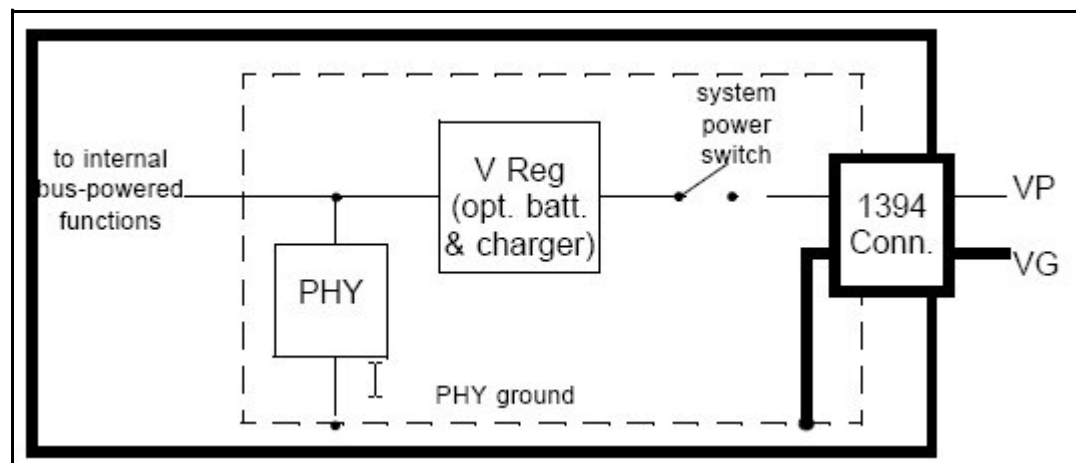
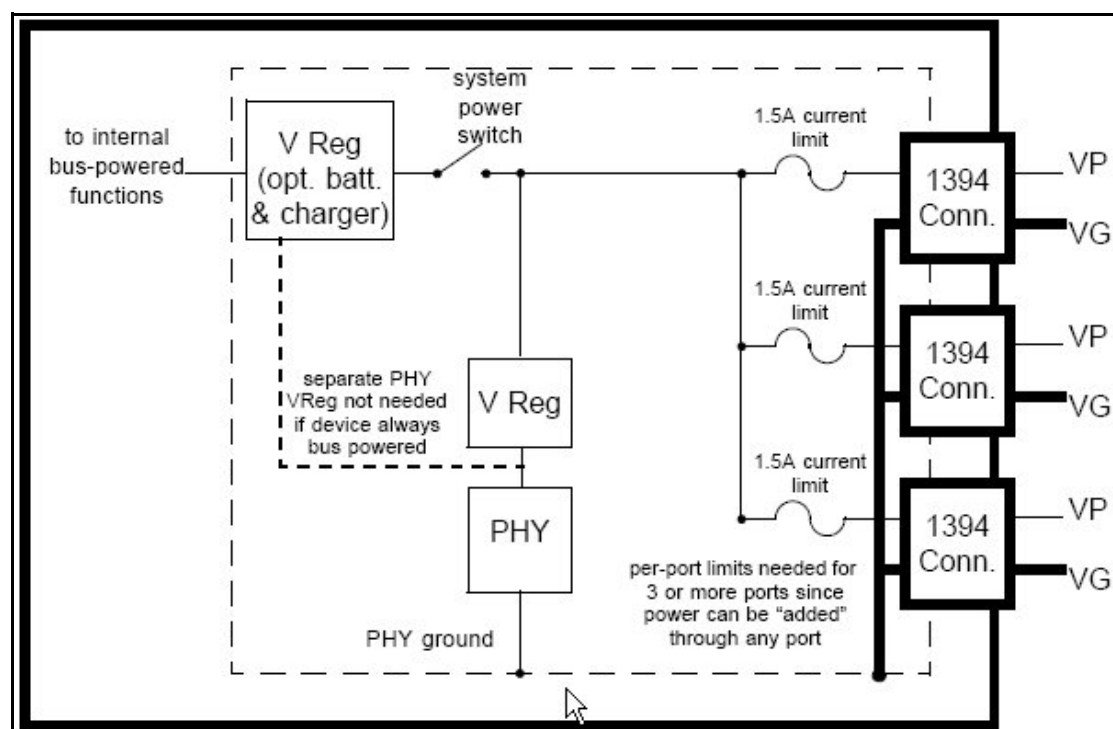


圖5-5：單一連接埠匯流排供電(class 4)節點

多埠行動式裝置需要中繼 FireWire 信號，只要有匯流排電源可用，PHY 必須給電。若是裝置本身是從匯流排取電，也可以選項地從主裝置電源拿取電力。

行動式匯流排取電裝置，若是具有 3 個或以上的連接埠，每個埠需要 1.5A 的限流。這種措施提供了調節式的電源保護(若是無此保護，某個連接埠上的故障裝置可能從其他兩個連接埠上的電源供應端耗費過多的電力)。電流限制器至少必須 1.5A，然而 1394 規制經由各個任何埠的消耗不會超過 1.5A(若是經由連接埠耗費電流超過 1.5A，那麼 1394/1394a 的速度信號會失效)。



**圖5-6：多埠匯流排供電(class 4)節點**

使用這個設計的節點，不能夠使用 1394 連接埠中止。

**5.5 註釋****5.5.1 Power Classes(參考用)**

功率耗費以及電源來源特性，整理在表格 5-1。

**表格 5-1：電源類別(Power Class)**

Power class (二進碼)	Power class	說明
000	0	不需要電源與中繼電源的節點。
001	1	自我供電並供應至少 15W 到匯流排的節點。
010	2	自我供電並供應至少 30W 到匯流排的節點。
011	3	自我供電並供應至少 45W 到匯流排的節點。
100	4	可以從匯流排取得電力的節點，最多耗 3W。連結(link)的啟用無須額外的電力。
101	5	保留給未來使用。
110	6	可以從匯流排取得電力的節點，最多耗 3W。連結(link)的啟用需要額外的 3W 電力。
111	7	可以從匯流排取得電力的節點，最多耗 3W。連結(link)的啟用需要額外的 7W 電力。

**5.5.2 二極體保護的注解**

一個電源供應端節點使用了二極體元件來保護其內部電路，避免其他電源供應端節點提供的電壓高於本地電源時，不會汲取其電力。此舉的做法僅須在電源供應上接上一個二極體元件。

然而，若是一個主要電源供應端就必須在每個連接埠接上二極體。如此一來可以建構獨立的電源域(power domain)，各個由單一的電源供應端來供電力。結果可以減少另外的電源供應端擾亂到既存的裝置(參照圖 5-7)，減少個別連接線的超載(overload)，並協助電源管理軟體來完成工作。

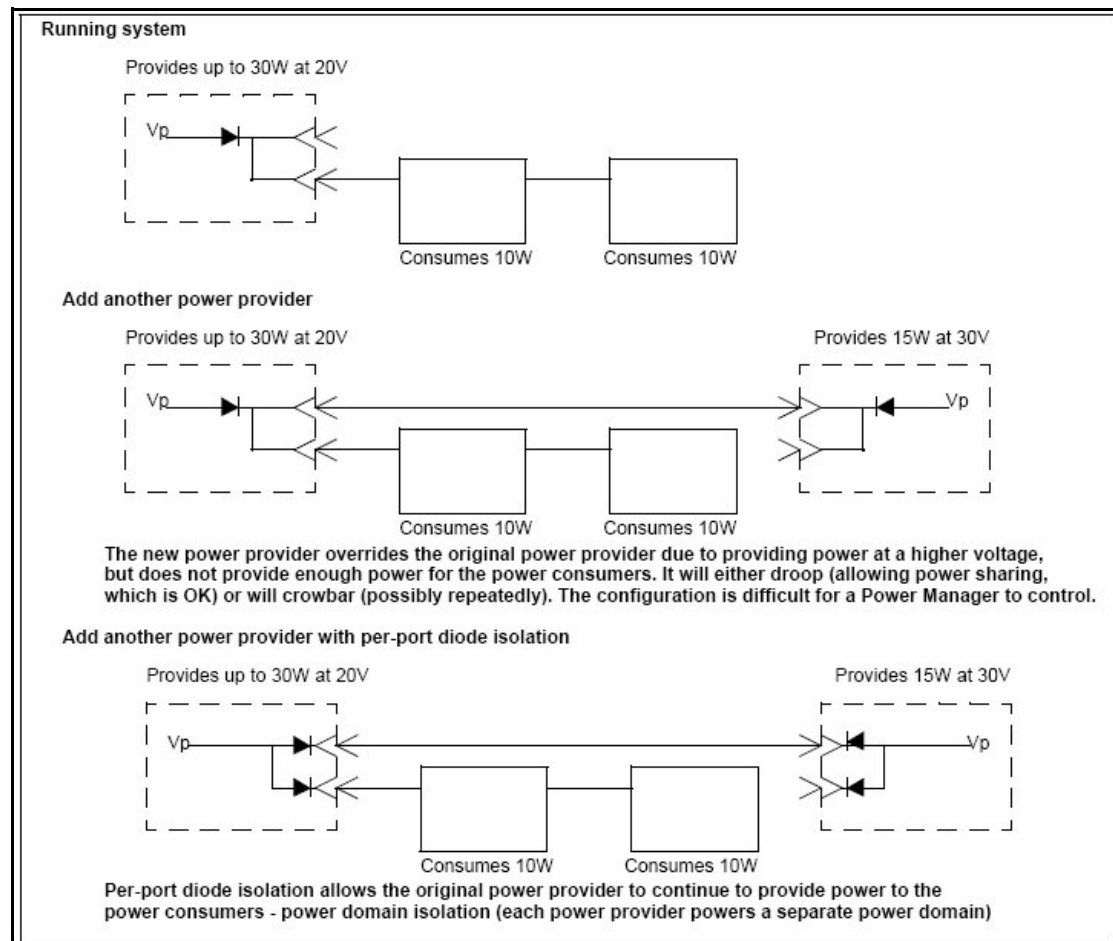


圖 5-7：提供電源管理領域的二極體

對於主要電源供應端(Primary Power Providers)來說，必須對每個連接埠做二極體保護。

### 5.5.3 斷電(power down)的使用與連接線不忙碌

某些裝置在 PHY 上提供額外的接腳來報告連接線上沒有活動(CAN - Cable Not Active)或是允許斷斷(PD - Power Down)。此舉可以運用於 1394a 系統來對 PHY 節省電力。

更多資訊，等待時間來決定(More TBD)。

某些裝置可能在沒有作用的連接埠使用中止(suspend)或是待機(standby)狀態，用來節省電力。

#### 5.5.4 Trade Association Cable Power Distribution Specification - 擬議的變更

a) 允許多埠的電源消耗端。它們會中繼電源。

< 要添加更多的觀察(more observations to be added) >

## 6. 連結(link)的選擇

所有的主機端裝置(CPUs)必須對於連結層(link layer)，採用 OHCI(Open Host Controller Interface)介面的設計，對於電腦週邊的嵌入式應用或是消費性電子產品，則有更大的彈性自由度。

### 6.1 OHCI 的需求

- a). FW400的OHCI應用必須遵守OHCI 1.1規範。請參見 [9]。
- b). FW800的OHCI應用必須遵守OHCI 1.2規範。請參見 [10]。

#### 項目 #6.1：OHCI 連結在預期的負載下必須滿足即時性要求

OHCI 的設計必須匹配完成系統(encompassing system)，因此，在期待負載環境下諸如 Final Cut Pro，FireWire 的即時性要求能夠符合；OHCI FIFO 的長度與等時傳輸封包，必須能夠應付最糟糕的主機記憶體爭用(contention)，或是倒過來的狀態；主機記憶體對於 FireWire 的性能表現，對於 OHCI 的工作以及 FIFO 長度限制，必須反應夠快且能夠滿足這些條件。總之，在設計的時候除了實際上資料承載量(payload)的頻寬之外，也得考量 DMA 敘述元(descriptor)的拿取以及狀態的額外資訊(overhead)。

## 7. 韌體(firmware)暨較高層軟體

### 7.0.0.1 IRM 不是根節點(root)

若是等時資源管理員(Isochronous Resource Manager)發現它不是根節點時(也就不會是 cycle master)，那麼，它有責任要確保匯流排的配置正確而且是最佳化。

若鑒於沒有現職的匯流排管理員，它就必須立即讀取根節點的 Bus\_Info\_Block。

若是根節點可以是週期主控端(cycle master)，它就必須立即設定其 force root 旗幟並清除所有其他節點的旗幟(藉由送出一個 PHY 配置封包，設定其中 R 位元以及根節點的 phy\_ID)，並且設定根節點 STATE\_CLEAR 暫存器的 cmstr 位元。這是因為目前的根節點在匯流排重置的時候，任何節點沒有 force\_root 位元被設定而偶然成為根節點。於是，有必要去確定下次任何原因造成匯流排重置時，根節點依然可以維持在根節點(除非 IRM 或是 BM 明確地指定其他來扮演根節點)。送出 PHY 配置封包就是在做這件事情。當不存在一個匯流排管理員(bus manager)時，IRM 就必須擔負起這個責任。沒有其他的能做到。

如果根節點不是週期主控端(cycle master)，那麼，IRM 就必須去搜尋一個節點(IRM 本身或許就是一個很好的候選!)，並讓該節點成為根節點(藉由設定 force\_root 旗幟並引起一個新的仲裁匯流排重置)。在一個匯流排重置的 125us 之內取得一個有效用的週期主控端(cycle master)是很重要的，因此，等待一個新匯流排管理員的推選是不切實際的。

IRM 是允許藉由週期起動(cycle start)封包的查知來偵測根節點的存在來作為週期主控端，根節點會快速送出這些封包。如此可以節省讀取 Bus\_Info\_Block，而且 IRM 可以不用等待過久來偵測出週期起動封包的不存在。

### 7.0.0.2 1394a 具有IRM能力的節點

如果節點是可以作為1394a IRM(亦即履行BROADCAST\_CHANNEL暫存器，其中，通道31分配為預設的群播通道)。若是如此，它就必須檢查是否目前的IRM(當非自己本身時)是否有這個能力。如果沒有，那就必須本身作為根節點與IRM。

有四種測試 - 使用其中之一或是更多：

- a). 接收定址到您BROADCAST\_CHANNEL暫存器的一個寫入請求，設定有效的位元為1(必須來自一個1394a IRM)。
- b). 成功地完成定址到IRM的B\_C暫存器的讀取請求，在回應中設定最高有效位元(most significant bit)。
- c). 成功地讀取IRM之匯流排資訊區塊，顯示出產生欄位為非零。
- d). 分析self\_ID，顯示IRM沒有被變更，之前所知為1394a相容。

請參閱1394a中的8.4.2.3 (第169頁)。

本頁面故意留為空白(This page left intentionally blank)。

## 附件 8：參考設計(reference design)

注：至10/14/2009，本文件的最新線路圖係由美商TI所提供。

此FW800 PCI參考設計係由TI所提供。線路圖中的電源電路與PCI連接器部分，僅是用來顯示一個完整的設計，不見得適用於所有的PCI應用。若欲取得更多圖示與跑線佈局資訊，請參閱TI相關的應用指引。

注：這個設計需要做微微的更新。請參閱正式元件的本文說明。

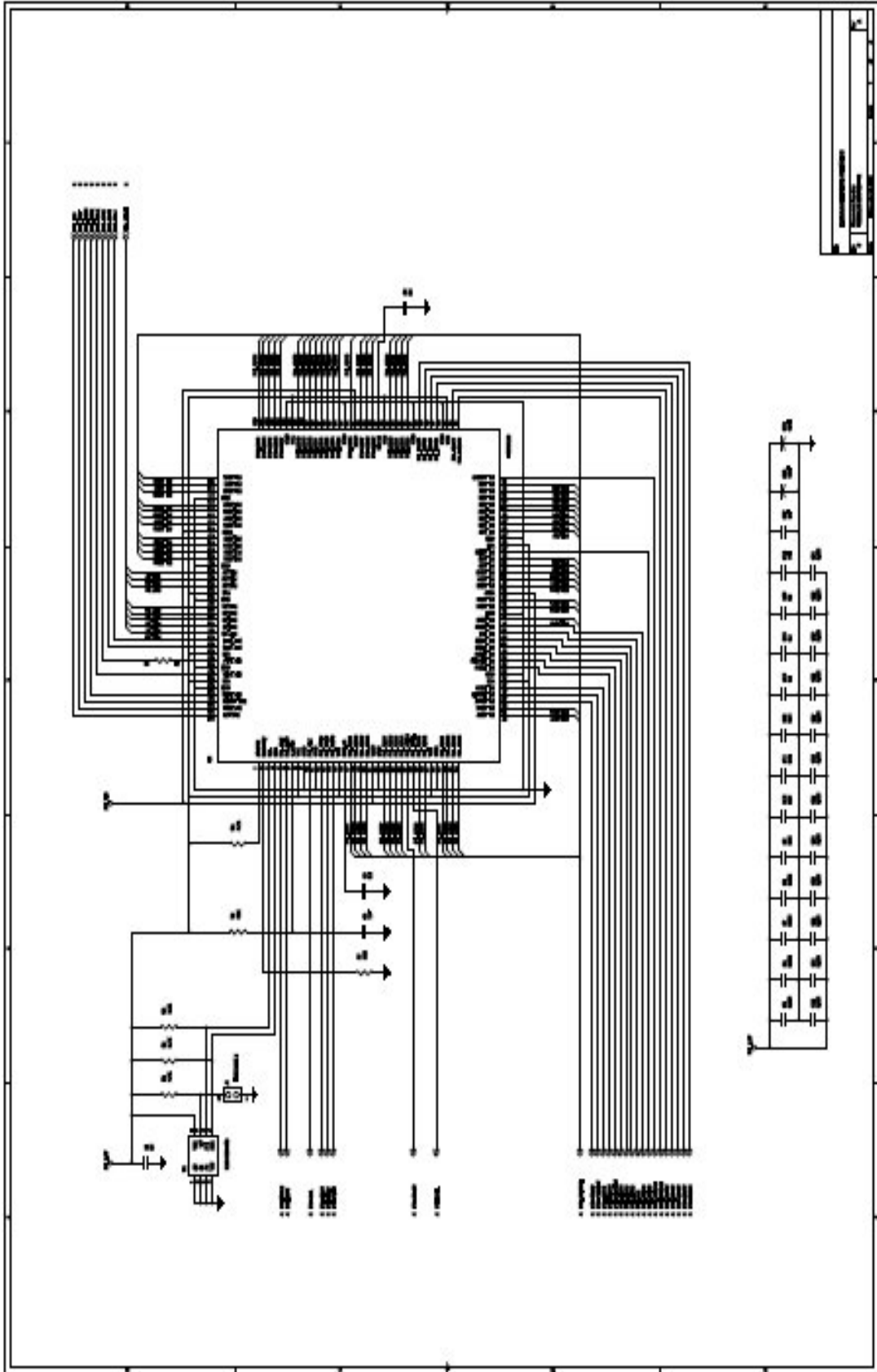


圖8-1：FW800 OHCI 控制器範例

在FW800 OHCI控制器範例上的注意點(圖 8-1)：

- 1). 為了成本的降低，輸入信號端子如果需要設定它們的狀態，可直接連到GND。然而，為了更優的ESD性能，需要設定在接地狀態的信號接腳須經由220歐姆~1.2K歐姆電阻接到地端。(這是一般準則的數值)。
- 2). 參考設計中的振盪器有一個3.3V輸出。PHY XI接腳需要1.8V輸入信號。因此，在振盪器輸出端有一個分壓器將3.3V降到1.8V輸入給PHY元件。當然，也可以選用1.8V振盪器而避免分壓器的使用。振盪器線路的跑線配置要盡量減少雜訊與信號抖動(jitter)。振盪器必須選用抖動非常低的元件。對於振盪器採用獨立的Vcc電源有助於減少信號抖動與雜訊。
- 3). LCLK是PHY的98.304MHz輸入信號源，可在信號源(1394b連結層)側串接終端元件來降低駐波。
- 4). CPS是來從PHY到1394電纜線的接點，內部有500MHz的信號，連接線就宛如一隻大天線。390K歐姆電阻可以協助來防止EMI，若是有必要，鐵氧體(ferrite)可以串接CPS信號來降低PHY信號無意間出現在1394b電纜線上。
- 5). LPS判定PHY-Link介面是否有作用，一個拉低電位可以確保當PHY供電、Link卻不供電時，LPS接腳處於正確的狀態。
- 6). 接腳26沒有使用，卻有98.304MHz信號。為了防止EMI，客戶可以串接一個約10K歐姆電阻到接地端。
- 7). 為了將信號拉高到電源，可採用約1K歐姆拉高電阻。接腳不可以直接連到電源。
- 8). 依據所需的配置，建議接腳2, 32, 33, 73, 66, 67與68(PC0, PC1與PC2)能夠拉到電源或地端。

這些接腳能夠控制PHY方面的動作，使用者無須另外建立新的線路板或撰寫新軟體即可改變。除了接腳2之外，其他所有接腳的建議如下：一個1K歐姆電阻拉高到電源，220歐姆拉低到地。編程接腳一個電阻或其他電阻可以增加來設定所需的機能。由於220歐姆拉低電阻所支配，信號終究拉低。

接腳2, 32與33(DS2/LKON, DS1與DS0)也控制著PHY的動作，無須另外建立新的線路板或撰寫新軟體即可改變；然而，針對這個參考設計，這些接腳已經過適當的設定。關於這些接腳的機能與設定，請參閱資料手冊。這些接腳也可以是輸出，到哪一端的電阻不可低於1K歐姆。因此，接腳2必須有1K歐姆的拉高與拉低，然後，再依據對接腳編程的數值來增加電阻。

- 9). PCLK係一98.304MHz時脈信號。為了減少駐波，建議增加一個小的串聯電阻接近PHY接腳5。參考設計線路是使用22歐姆。
- 10). 接腳79 CNA(Cable Not Active)輸出接到參考設計的測試接頭上。在參考設計上，它可以不連接。然而，當在偏壓(若是做1393a連接)、調變(tone)或是對任何裝置1394埠做連接時，該信號會呈現邏輯高電位。這個信號可被PHY的外部硬體線路用來表示已有裝置連接到PHY。請留意，若是軟體控制有需要，PHY可以被編程來產生一個中斷給連結層。

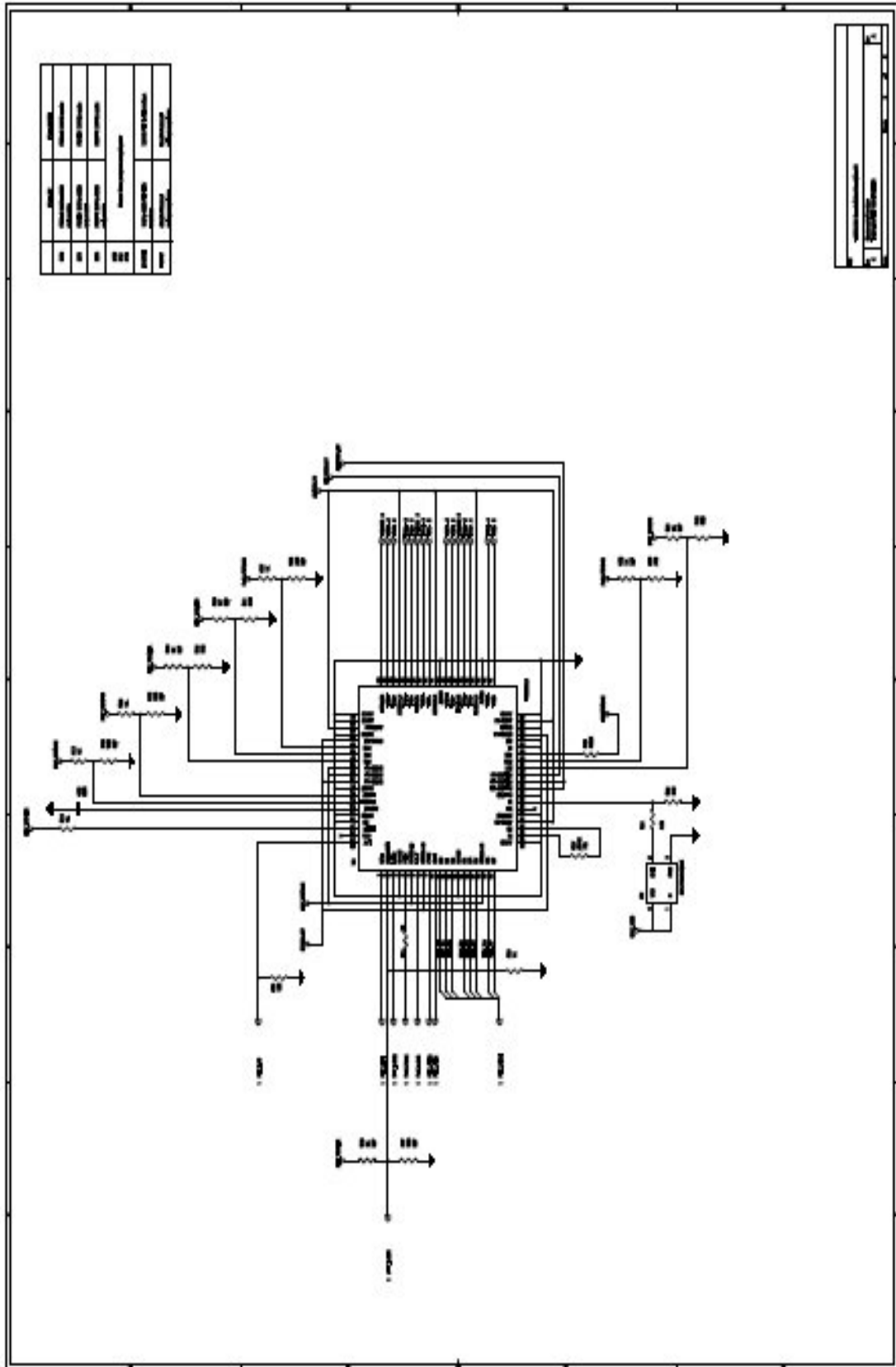


圖8-2：FW800設計範例(連接埠1與2)

圖8-2(續)

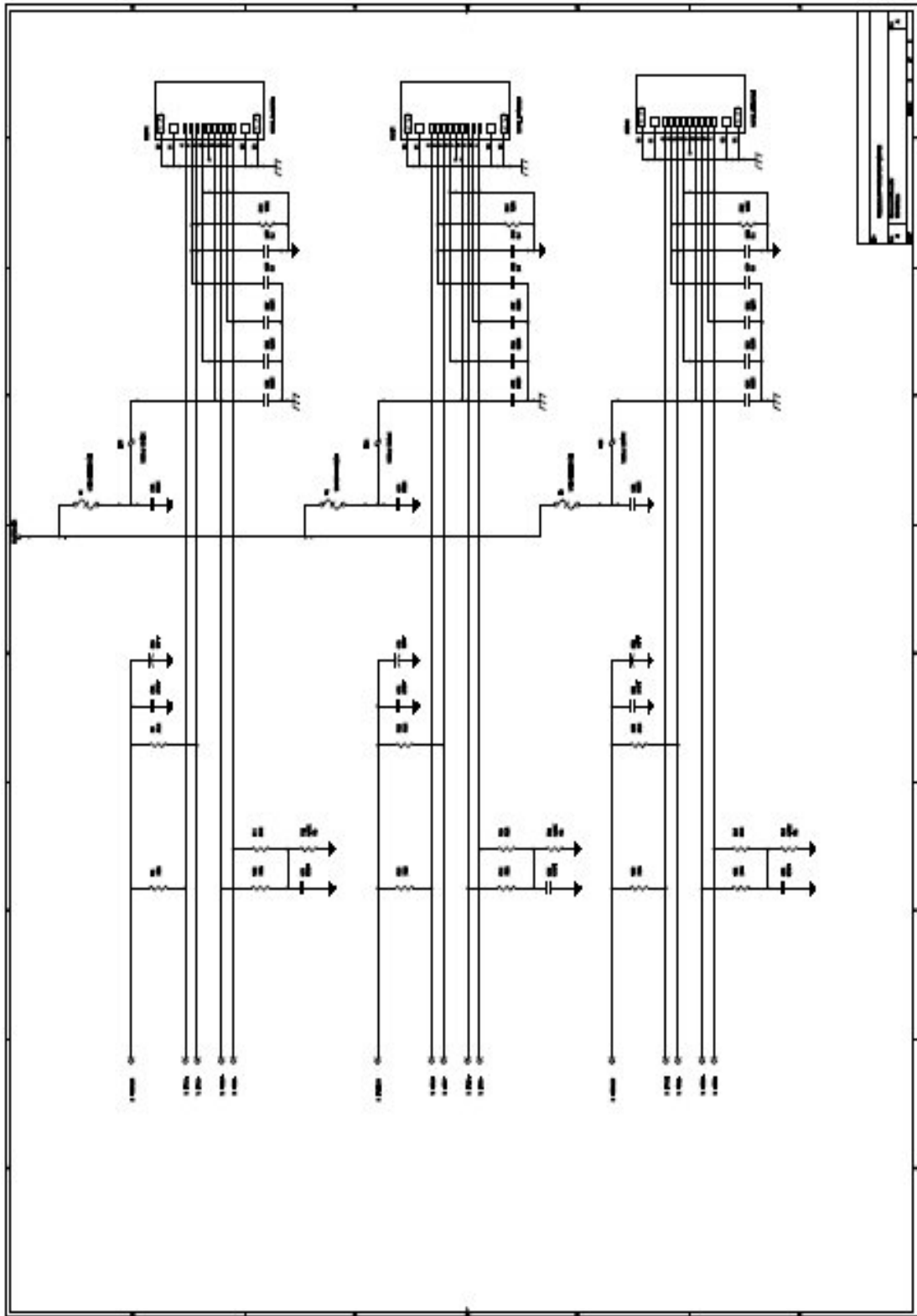


圖8-2的註釋說明。

這個參考設計係針對PC的介面附加卡，其中，系統有一個機殼地(chassis ground)作為ESD與EMI克制用。

- 1). 此設計採用1394b雙模式連接器。當PHY連接埠可能是1394a或是1394b時用到這種連接器。至於連接埠會是跑什麼模式，則是決定於哪種裝置插進來。建議客戶選用具有貫孔固定短樁的表面黏著型連接器，讓錫鉛能夠進入線路板增加連接的紮實度。
- 2). 連接器的外部屏蔽必須接到機殼地，對於ESD電流提供一條低阻抗的路徑到機殼地。
- 3). 接腳6是對於連接線電源與速度信號電流的VG地迴路。接腳9是TPB(1394b連接埠的傳送信號對)的地迴路。兩者必須盡快經由穿孔連到接地層。接腳5是TPA(1394b連接埠的接收信號對)的地迴路，它是隔離於本地接地(local ground)，未來將在標準中定義。請參閱1394b段落5.5.1。
- 4). 連接器接腳5, 6, 8, 9各有一個ESD電容連接到機殼地。此舉是企圖在ESD分佈到本地線路板接地層之前，將其能量盡可能傾倒到機殼地。因此，這些電容器要盡可能靠近連接器而且是在接腳經由貫孔(穿孔)連到接地層之前。為了要有更好的接地，必須有個取捨或折衷(讓跑線變寬)。
- 5). 連接器VP接腳(接腳8)上的鐵粉芯磁珠元件(Ferrite Bead)是基於ESD與EMI的緣故。鐵氧體的PHY側上之0.001uF電容器，是針對可能存在於VP電源上的EMI電流，提供一條低阻抗途徑到本地端。鐵氧體的1394b連接器側上之0.001uF電容器，則是針對可能從連接線耦合到VP電源的快速上升時間ESD電流，提供一條低阻抗途徑到機殼地。鐵氧體本身對於這些電流就呈現出一個高阻抗，形成了一個“PI”濾波器。
- 6). 傳輸線終端匹配網路元件是必要的，必須盡可能靠近PHY(請參閱跑線佈局的建議)。1uF係對1394a速度信號充電。TPA與TPB信號對終端網路中間點的270pf電容則是作為共模濾波用，降低雜訊與EMI。

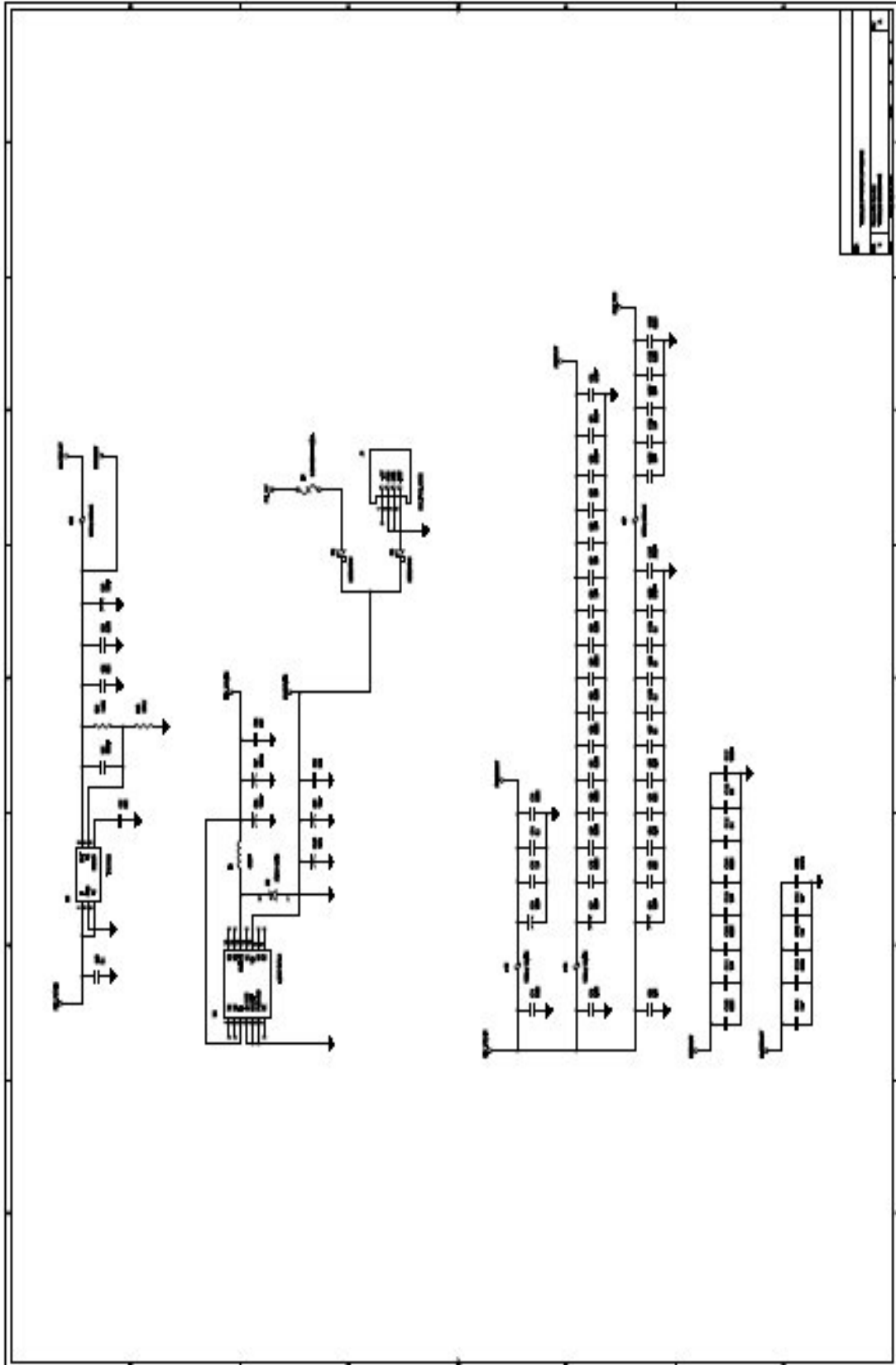


圖8-3：FW800設計範例(連接埠3與PHY電源)

圖8-3的註釋說明。

電壓調節器提供電源給PHY的低電壓核心電路。鐵粉芯磁珠(Ferrite Bead)是提供雜訊濾波，防止數位電路產生的雜訊波及到PLL電路。所選擇的調節器提供200mA輸出電流，係低雜訊的調節器。

## 8.1 S800 1394b TSB81BA3實體層的跑線佈局建議：

按照優先順序：

### a). 對絞線傳輸線

- 1). 對絞線(twisted pair)信號必須非常乾淨。位元率是1Gbps(原生速率在沒有編碼損失下)，這就意味著對於信號抖動與邊緣位置有嚴格的容忍度。1394b的最小上升時間是80ps。80ps的上升時間相當於4.7mm的臨界長度。這就說明了對絞線的跑線配置**必須**是阻抗匹配(110歐姆差動特性阻抗)的傳輸線。對絞線傳輸線的跑線配置，長度盡可能短。一個單獨的雙絞線在長度之差必須低於10 密爾(mils)。傳輸線必須合成一體、以對絞的方式直到連接至PHY端子。
- 2). 終端網路在傳輸線上的效應要最小化。對於參考的跑線佈局，採用了“飛越(flyby)”的終端方式。這代表著傳輸線直接從連接器運行到PHY，信號沒有擾亂。終端電阻網路放置在線路板背面，允許信號在終端之前“飛越(flyby)”PHY端子。此舉也從終端電阻到傳輸線的終點降低其分支長度(stub length)。
- 3). 為了確保從PHY端子到連接器有一個好的接地迴路，最低限度也要實踐一個紮實的接地層(ground plane)或說接地面，沒有實施切割。這個接地層(面)在PHY下面立即展開擴大，PHY對絞線端子、對絞線傳輸線、以及1394b連接器端子到連接器地迴路端子(端子 XX)經由貫孔接到這個堅實的接地層。盡快將連接器地迴路端子與電源地端子接續到這個接地層。
- 4). 對於500MHz信號而言，至少需要4層線路板來確保有很好的接地迴路(ground return path)。

### b). 振盪器(Oscillator)

- 1). 振盪器的跑線佈局必須將引入到PHY PLL電路的雜訊抑制在最低。振盪器的位置也必須接近PHY XI端子。一個寬而低阻抗的跑線用來連接振盪器到PHY XI端子。這個連接必須簡短又直接。TSB81BA3需要1.8V輸入電壓。選用的振盪器輸出為3.3V。因此，需要一個分壓器或是電壓偏移(voltage shift)線路，造出PHY所需要的電壓。參考設計是採用了一個電阻分壓器。請留意這種方式也得小心處理。電阻的位置經過處理，從振盪器到PHY端子，極力降低98.304MHz傳輸線的信號擾亂。
- 2). 振盪器的跑線佈局僅須最小的電源層(power plane)或說電源面。藉由一個濾波器來將這個電源面與其他電源面隔離；努力降低電源面對振盪器的雜訊，並且降低從振盪器引入到線路板其他部份的雜訊。這個電源面有助於最小化從去耦合(decoupling)電容到振盪器電源輸入的阻抗。

### c). 電源層去耦合(Power Plane Decoupling)

- 1). PLL電源層去耦合- 尚待時間決定。

- 2). 類比電源層去耦合- 尚待時間決定。
- 3). 數位電源層去耦合- 尚待時間決定。

#### **d). PHY-連結(Link)之介面**

- 1). 在PHY-連結介面上有兩個98.304MHz時脈。這些跑線與其他PHY-連結介面接腳有足夠的間距來避免耦合到其他信號線，因為信號線可能會扮演天線的角色將雜訊散射到線路板其他地方。接近每個時脈的來源，有終端電阻存在。騰出空間給這些電阻，推開其他的跑線足跡。其他的跑線可以超過最小的間距，輕易地從PHY到連結層佈線。
- 2). 交換式電源供應盡可能遠離線路板上的其他主動電路(active circuitry)。此舉乃是讓主動電路，尤其是類比電路，隔離了開關雜訊。

#### **e). PHT下方的導熱面(thermal Land)**

強烈建議使用，即使不見得必要；也就是在PHY下方配置導熱面。

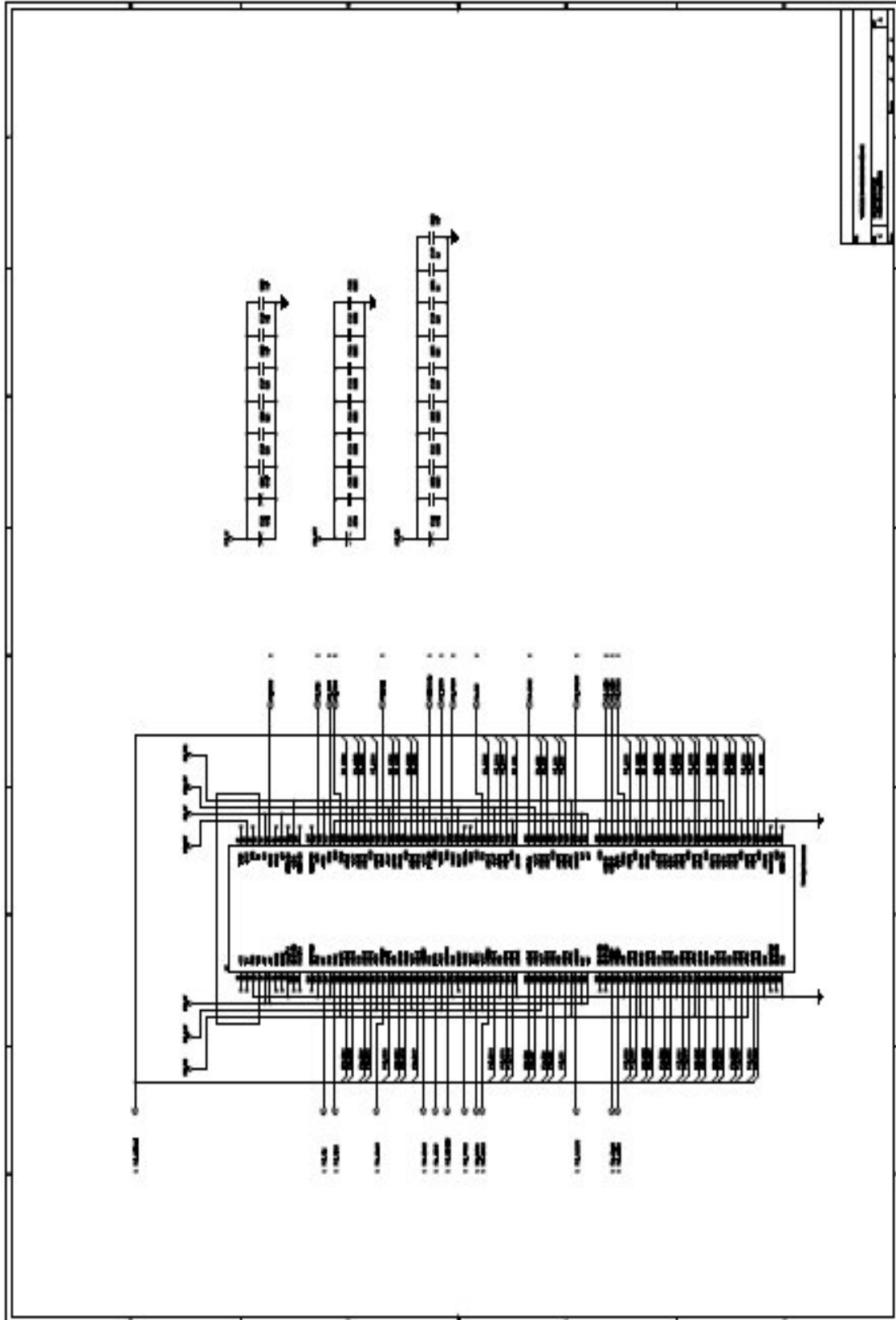


圖8-4：PCI連接器參考

## 9. 紮實的連接埠設計

### 9.1 Firewire 裝置的必要線路保護 - 簡介

在本設計導引中，多次提到在電子裝置上建立 Firewire(IEEE 1394)連接埠時，追加保護電路來確保產品在現實上應用時，有足夠紮實的可靠度。有兩個領域必須謹慎考慮：電源電路與信號電路。本節將提供線路保護的額外資訊，討論可能引起線路破壞的事件、線路保護的工業標準、保護元件在線路中的配置，以及一般所使用保護元件的類型。

為了確保產品在製造的過程中，能夠有很好的生產良率，一般在 1394 的 PHY 實體層中會內建基本的電氣過電壓或過電流 EOS (Electrical Overstress)的保護元件。然而，這些保護特性的實施乃是為了製造環境的最佳化，設計也是依據各自的測試標準(比如說，HBM，MM 與 CDM 等)。

確保 EMC 電磁干擾相容性的應用層次測試，則是採用了不同的模型，比如說在更高電壓場合的更嚴重脈衝電流(surge)。因此，晶片上的保護元件往往無法應付這類事件的發生，在線路板層次的追加保護措施可以確保在實際應用時，能夠具備有更高的可靠性能表現。一般而言，紮實的連接埠設計，1394 連接埠的所有接腳信號必須施予保護；包含了靜電放電 ESD、電氣過壓 EOS 與過電流保護等。

圖 9-1 中的筆記型電腦，建構了一些介面連接埠；尤其是包含了 1394 連接埠。當使用者運用這些介面連接到各種週邊裝置(例如印表機、外接儲存裝置、數位攝影機等)之際，必須考慮到對使用者可能遭遇到的電氣威脅。好比說，在插入連接器或是拔離的動作中，靜電放電 ESD、VG 遲接(Late VG)或是錯誤電流的意外多可能發生。

當電荷從一個物件轉移到另一個物件的時候，會發生所謂的電氣靜電放電 ESD (Electrostatic Discharge)的現象。在這種場合下，使用者或是連接線可能含有靜電，會透過 1394 連接埠來放電。當接地信號還未連接上而連接線的電源信號卻已經接上時，就發生了所謂「VG 遲接(Late VG)」的現象。電源會強制地發生在資料對信號線上，因而有機會損傷 PHY 元件。若是使用了錯誤的連接線或是連接器(如接腳彎曲-bent pin 等)或是不小心有金屬物件插入到連接器時，就會發生了錯誤電流的現象。本文件的以下章節將來探討電氣威脅以及因應對策方案的細節。

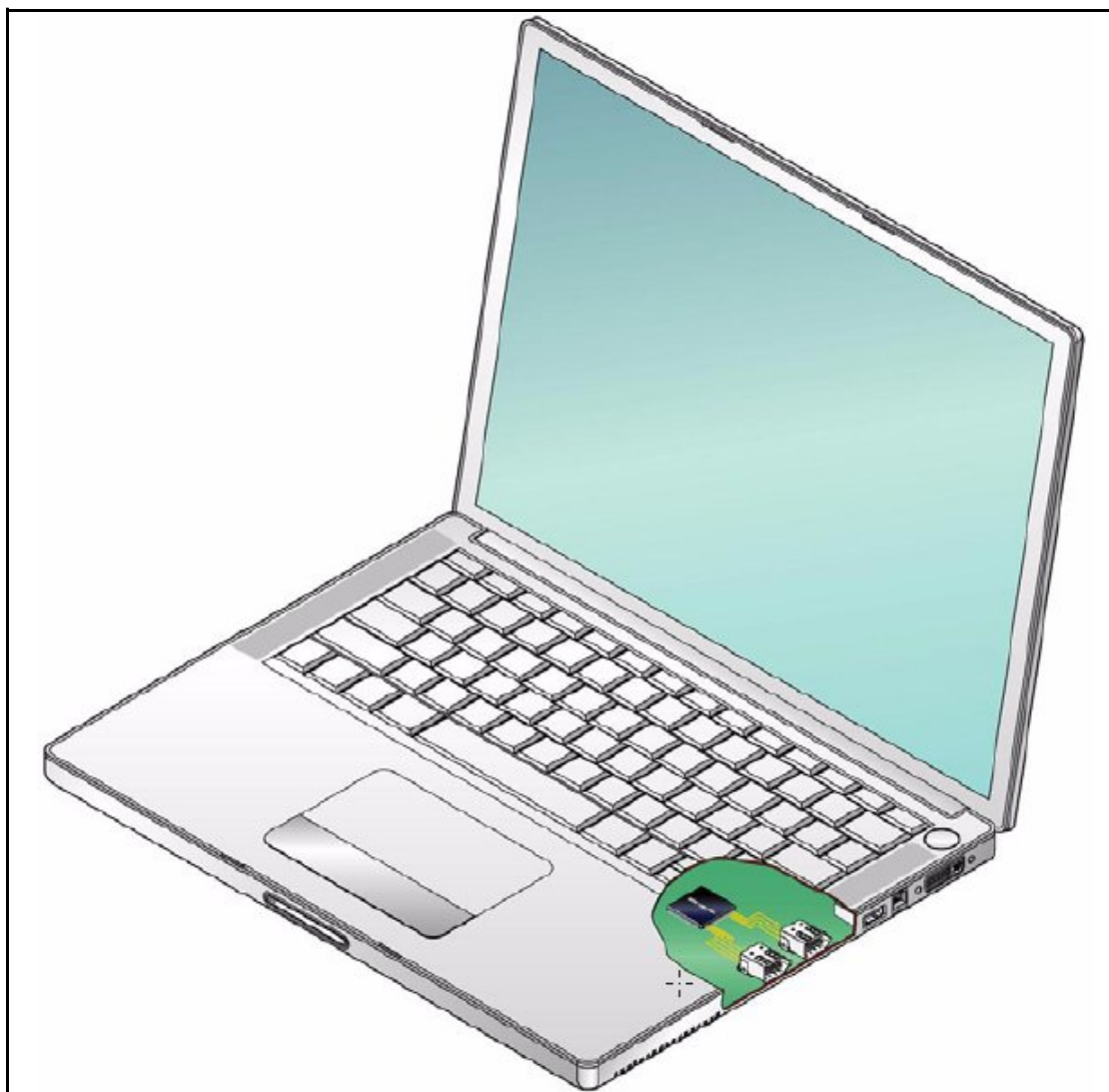


圖 9.1 - 筆記型電腦實施 1394 連接埠的示意圖

## 9.2 「熱連接」問題；也就是 Vg 遲接(Late-VG)的現象

### 9.2.1 使用上的背景概述

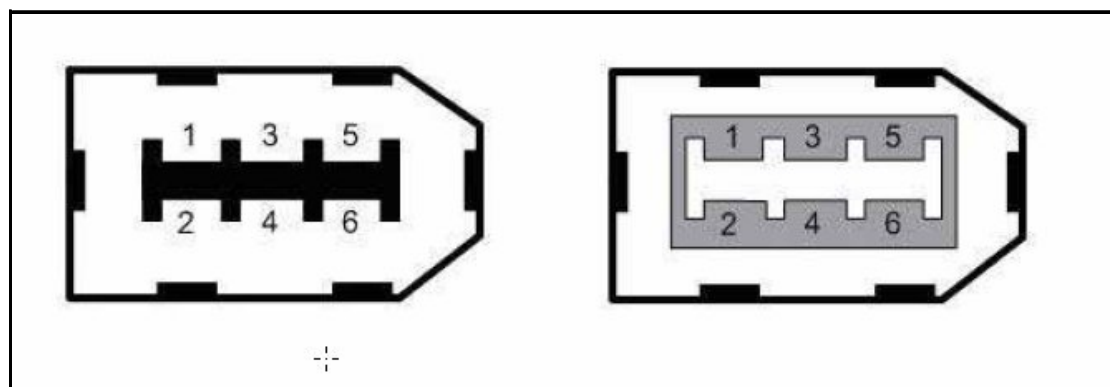
連接線的高壓電源與錯誤連接線或連接器，可能會遭致連接器接地信號(Vg)在尚未連上之前，資料信號線(TPx)與電源信號(Vp)卻先行接上；因而，所有的1394 PHY零組件都會面臨到電氣過電壓或過電流(electrical overstress)的毀損。這類的事件，也就是所謂「VG遲接(Late-VG)」的現象。本文件提供了如何認知1394 PHY零組件遭遇到「VG遲接」的傷害，解釋這些毀損究竟是如何來發生，並提供建議來降低VG遲接事件發生的頻率以及保護1394 PHY裝置免於VG遲接的傷害。

IEEE 1394A-2000規格明文指出，1394連接線電源(Vp)的電壓範圍是從直流8伏特到30伏特，最大供應電流1.5A。而傳統的IEEE 1394-1995系統所可以支援的連接線電源範圍卻是直流8伏特到40伏特，最大電流規制也是1.5A。一般典型的1394 PHY裝置的絕對

最大輸入電壓範圍是直流-0.5 V到Vdd + 0.5 V，其中的Vdd最大值为4.0V。很明顯地，若是Vp的電壓位階呈現在1394 PHY裝置的差動信號對時，很有機會造成嚴重的毀損。

若是進行連接線的插接有歪斜的角度，1394兩個節點的電源Vp與資料信號(TPx)在Vg信號連上之前就先行接觸；或是不適當的連接線、連接器引起Vg信號的連接出了問題；這時候，1394連接線上的Vp部份電壓就有可能會出現在TPx信號上。舉個例子來說，請參考圖9-2，明顯可以看出接腳1與接腳3在接腳2(也就是Vg信號)接上之前或者沒有Vg信號的場台下，就可能先行連接上。

由於資料信號的連接是藉由Vg接地信號的返回途徑，Vp電壓得以出現在TPx信號上。回返接地路徑的高電壓與電流，可能毀損連接線雙端的1394 PHY裝置。而1394 PHY裝置內建的ESD保護線路，並不足以保護Vg遲接的現象；理由很簡單，Vg遲接的時間與電流均高於一般典型的ESD事件。請留意，僅有一對TPx信號會遭致Vg遲接事件的發生。一個僅有Vp與TPB\*連接的1394節點，易於發生Vg遲接的傷害問題。



接腳編號	信號名稱	說明
1	Vp	連接線電源
2	Vg	連接線接地
3	TPB*	差動信號對 B
4	TPB	
5	TPA*	差動信號對 A
6	TPA	

圖 9.2：1394 插座(連接器)與連接頭(連接線)的6隻接腳圖

### 9.2.2 1394 PHY 裝置由於 Vg 遲接的毀損症狀

對於使用者來說，Vg 遲接事件對於 1394 連接埠的損傷會造成無法動作的狀況。多數的場台下，1394 PHY 裝置的其他連接埠並不會受到波及影響，仍然可以繼續正常動作。替換毀損的 1394 PHY 將可以徹底解決這個問題，畢竟應用的其他部份一般並沒有受到影響。

當對一個毀損的 PHY 裝置進行測試時，或許會出現連續性的失敗。通常是失誤連接埠的 TPA 信號線之一，發生了開路或是短路的現象。理所當然，四種場合也包含了 TPB 信號對的毀損。相關 TPBIAS 電路的毀損在某些場合也可以見到。

一個 1394 PHY 裝置的完整損壞分析，顯示出 Vg 遲接事件的失敗機制通常是引起金屬極、多晶矽以及晶圓基底層(die substrate)對於接地的短路或是開路，與電氣過壓一致。先前 EOS 引起的 PHY 裝置失敗之分析將顯示如下。這個毀損表示了 Vg 遲接事件。請留意，並非每一個 1394 PHY 裝置的 Vg 遲接事件會呈現出相同的毀損狀況。

### 9.2.3 遭致 Vg 遲接事件影響的應用特徵

某些 1394 應用比較容易遭致 Vg 遲接事件所引起的 PHY 傷害。這些應用的主要特徵將說明如下，供為參考。請特別留意，這些特徵並不表示 Vg 遲接事件發生的必要條件也不代表 Vg 遲接事件確定會發生。這個清單純粹是作為資訊參考用途。幫助設計者來判別 Vg 遲接事件在他們的應用中是否要謹慎來考量。

**由連接線供電的系統(Cable Powered System)**：Vg 遲接事件引起的毀損，關係到連接線電源，依賴 1394 連接線電源的系統比較容易發生 Vg 遲接。僅用四隻接腳(TPA, TPA\*, TPB, TPB\*)的 1394 節點不會發生 Vg 遲接。若是沒有 Vp 連接便不會發生。自行提供電源的應用一般也不會有 Vg 遲接。然而，若是有中繼電源的兩連接埠應用，是有機會發生 Vg 遲接的損壞。

**Vp 上的高電壓**：IEEE 1394A-2000 限制 Vp 為 30V。一般 PC 應用由 PCI 供應 10V~12V 電壓給 Vp。當 Vp 超過 15V 時，因 Vg 遲接造成 1394 PHY 裝置的損壞會較常發生。電壓的上升會增加 Vg 遲接造成損壞的可能性。

**1394 6 隻接腳連接器**：Vg 遲接會發生於 9 隻接腳的 1394b 系統，而 6 腳連接器又於外型的關係，更容易有直角插接或是反接的場合。亦即增加了 Vg 遲接的發生機會。

**連接線反覆使用**：根據 TI 的調查，1394 PHY 裝置 EOS 的毀損，根本原因在於製造商反覆使用同一連接線或系統。在數千次插拔之後，連接線或連接器已經破舊或損壞，引起 Vg 連接不良而造成 Vg 遲接的高度發生率。

**熱插拔(hot plug)**：在 1394 系統中，僅有在 Vp 已經存在的場台下連接線插入連接器時，才會發生 Vg 遲接事件。因此，若是在連接線電源供應之前就將 1394 節點完成連接，是不會發生 Vg 遲接事件的；除非，Vg 本身的連接出了問題。

### 9.2.4 Vg 遲接事件的詳細解說

兩個 1394 節點的 Vp 與 TPx 資料連接，電壓提供者與電壓取用者若是沒有 Vg 連接，資料連接會成為 Vp 提供者的最低阻抗接地返回途徑。接地返回途徑上的電壓與電流，可能傷害到連接線兩端 PHY 裝置的 TPx 輸入。

圖 3 顯示了可能發生 Vg 遲接的電氣連接，節點 A(Node A)是電源供應端而結點 B(Node B)是電源取用端。為了方便解釋，假設兩個節點沒有地線連接。而圖中的連接線屏蔽短路到機殼地，卻沒有連接到 1394 節點的信號地。

由於  $V_p$  信號在連接器中接腳較長，可以假定它會先連接上，因此將節點 B 的所有信號拉高到  $V_p$  的電位。若是兩節點間的資料線連接完成，節點 B 的接地信號會拉低而其電壓調節器也開始動作。由於資料線連接扮演著接地回返途徑，此舉將會強迫節點 B 的 TPA/TPA\* 信號低於 1394 PHY 裝置的地端。而這個低電壓有可能在 1394 PHY 裝置的最大輸入電壓額定值  $-0.5V$  之外，因而造成節點 B 的 PHY 裝置之損壞。

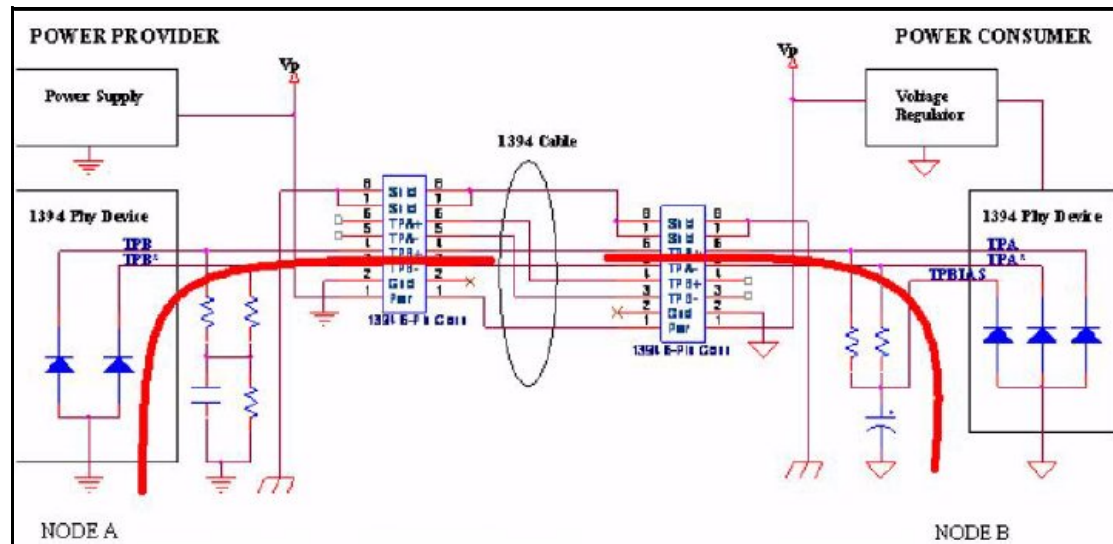


圖 9.3：連接期間發生  $V_g$  遲接的概況

當節點 B 的電壓調節器開始驅動時，額外的電流會經由資料線回返，而拉升了節點 A 的 TPB/TPB\* 信號電壓。依據系統的連接線電源電壓，TPB/TPB\* 信號電壓可能超出了 1394 PHY 裝置的最大輸入電壓額定值  $V_{dd}+0.5V$ ，此舉也會引起節點 A 的 PHY 裝置之損壞。

因此， $V_g$  遲接引起的損壞可能在電源供應端也可能發生在電源取用端。在真實的使用環境下， $V_g$  的連接上有一點延遲或是有損壞的連接線與連接器，造成斷斷續續的連接。如此將會限制了 1394 PHY 裝置作為接地回返的作用，也可能招致暫態電壓造成裝置的毀壞。

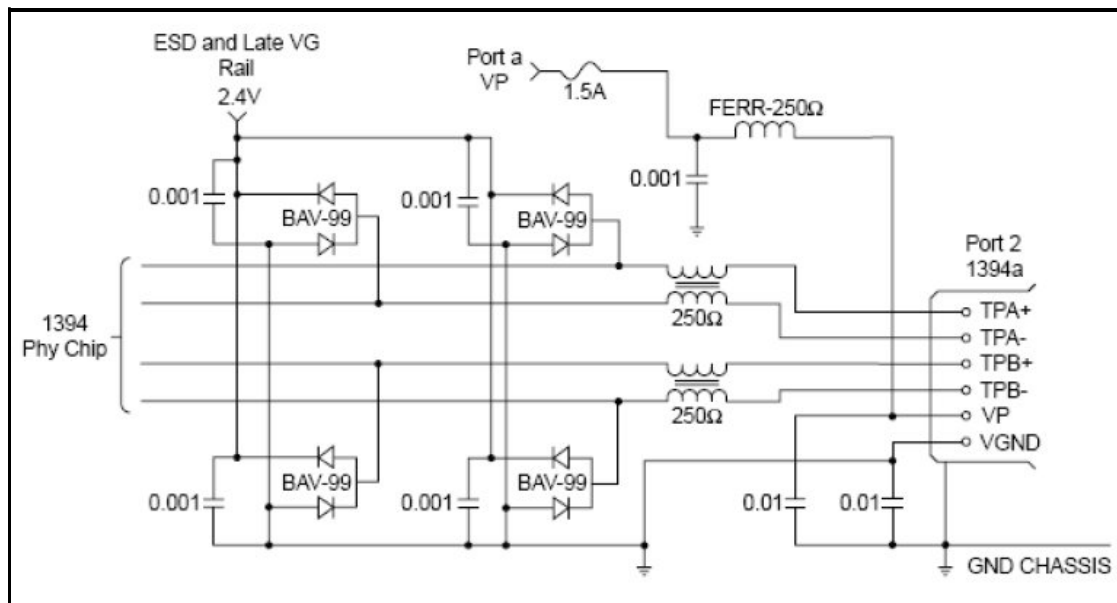
### 9.2.5 1394 PHY 裝置的保護 - $V_g$ 遲接事件

#### 被動式解決方案：

確保連接線與連接器的品質可減少  $V_g$  遲接的事件，然而這種事件還是很多 1394 應用的關注。若是不能確切地針對 EOS 來保護 1394 PHY 裝置，也可能因  $V_g$  遲接而損壞。一個簡單的推薦實踐方式，是藉由短路連接線屏蔽的機殼地到信號地，提供額外的低阻抗接地回返途徑。若有必要，透過低阻抗濾波器來防止過量雜訊。

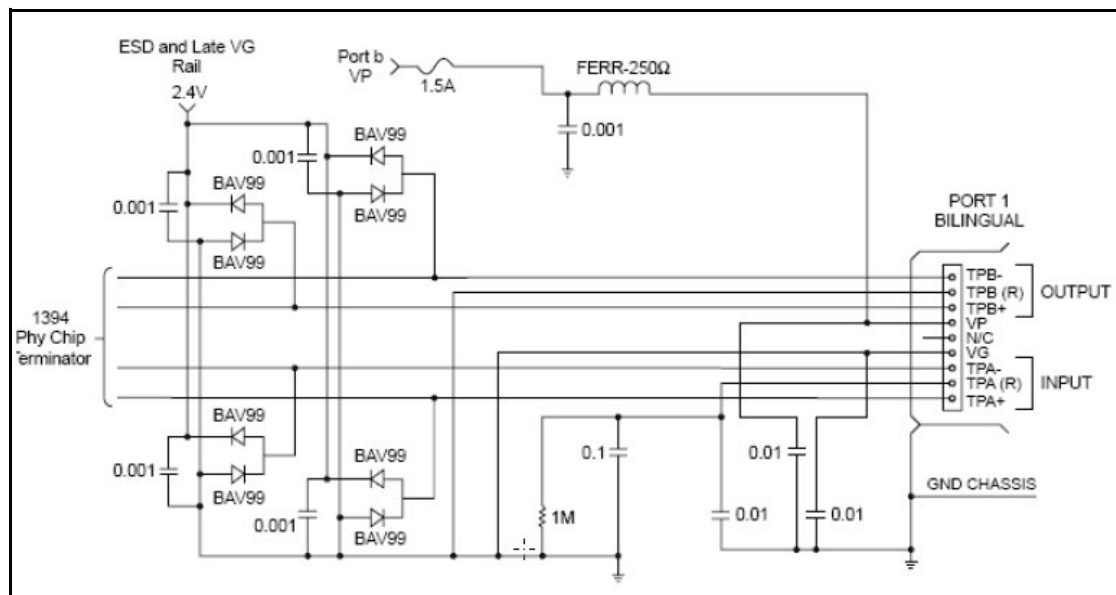
另外一個選項措施是加入快速的二極體開關電路，比如說在每個 TPx 信號線加上 BAV99 來保護又不會影響到信號整合性。圖 9-4 顯示了這個防護措施在 1394a 的實踐方式。圖 9-5 則是一般 1394b 應用的保護方式。

當偏高電壓加諸於資料線時，二極體的順向回路將 Vg 遲接電流導向電源軌道。稍後當 Vg 遲接狀況解決之後，二極體會切換到關閉(Off)，信號線電壓回到一般的水準。不過，請留意這些二極體的使用可能影響到高速 IEEE 1394 版本的實踐。因為，二極體的寄生電容足以引起信號失真，造成信號整合性的疑慮。



註釋：除非特別指明，電阻的單位為歐姆，電容的單位為 uF。

圖 9.4：在 1394a 連接埠上使用二極體保護 Vg 遲接的範例



註釋：除非特別指明，電阻的單位為歐姆，電容的單位為  $\mu\text{F}$ 。

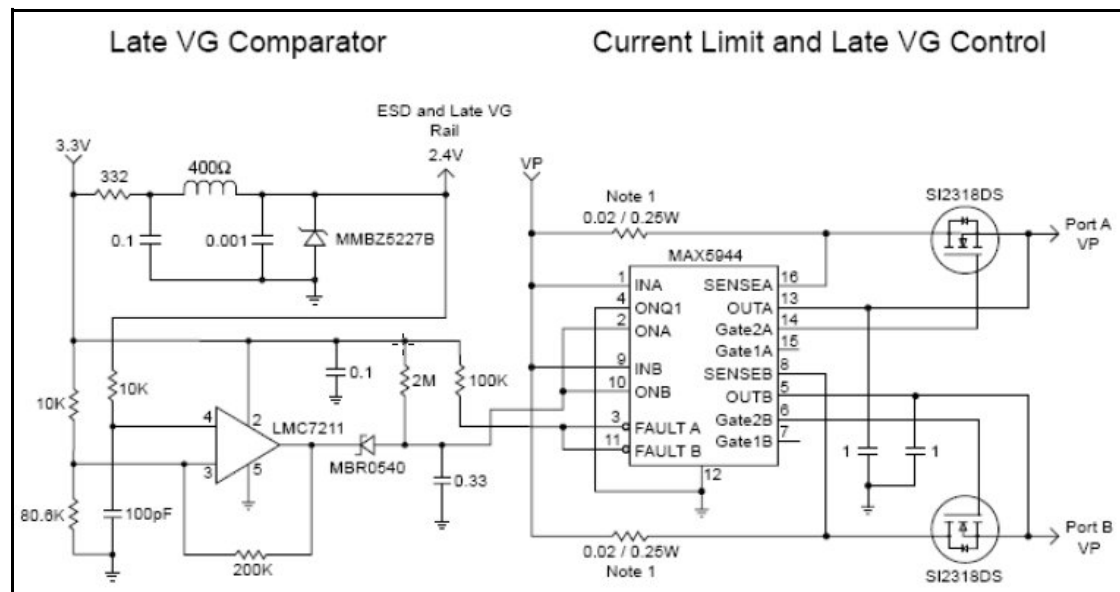
圖 9.5：在 1394b 連接埠上使用二極體保護 Vg 選接的範例

#### 主動式解決方案：

另外一種針對 Vg 選接的保護方式，是採用主動式電路來監視電源與信號線的狀態，在發生 Vg 選接期間，會讓電源失效。請參考圖 9-6，限流 IC 會監視比較器的輸出；如果 ESD 與 Vg 選接的偏壓高過 3.3V，電源就會失效。ESD 與 Vg 選接的輸入即是 BAV99 二極體，它會在 Vg 選接事件期間動作。

請留意，這個方案也可以運用於發生錯誤狀態時的過電流保護。檢測電阻(請參考圖下方的注 1)用來設置動作電流(trip current)，基本上它是可以編程的，隨著電阻值的不同，會有不同的控制電流。就底下這個範例來說，0.02 歐姆設定動作電流在 2.4A。當電阻值增加時，動作電流也跟著降低。

若是欲取得更多的細節資訊，可以參照 Maxim 的資料規格或是其應用指南(AN3984)，其中對於 MAX5944 (雙埠)與 MAX5943 (單埠)的使用方式皆有詳細的說明。



注 1：在戴維寧(Thevenin)檢測電路，盡力避免任何的跑線長度。

注 2：除非特別聲明，否則，電阻的單位為歐姆、電容的單位為 uF。

圖 9.6：使用 Maxim 保護 IC 來實踐 Vg 選接事件的範例

### 9.3 VP信號線錯誤電流(fault current)

當 FireWire 裝置從系統上汲取電源時，從 1394 連接埠的 VP 信號線到 PHY 之間必須實施錯誤電流的保護。若是連接到電源匯流排的元件發生了變化，好比說電阻值急遽下降，就會發生錯誤電流。同樣的道理，供應電源的 FireWire 裝置也必須針對使用者的誤應用或是有問題的連接方式(比如彎曲或是斷接的連接線、接腳等)，做好防護。保護 PHY 免於穿過的高電流(錯誤電流)，本指引認可自恢復保險絲(resettable fuse)的使用，因為這類元件可以在錯誤電流事件清除之後自動恢復。

自恢復保險絲可以防護過電流的損毀，並在電流正常之後恢復電路到正常的動作狀態。一般來說，這類元件是正溫度係數 PTC 的熱敏電阻(thermister)，當自發熱( $I^2R$ )增加時會提高電阻值，因而限制了電流。由於 IEEE 1394 連接埠是熱插拔，在 VBUS 上會存在難以預測或經常性的錯誤電流，非常建議在 FireWire 設備中運用這類元件。

各類 PTC 元件的額定規格，從 6VDC 到 72VDC，電流值 100mA 到 9A。封裝有引線或是表面黏著的方式。為了符合 FireWire 的電源規格，自恢復保險絲的額定規範必須能夠在 33VDC 下操作。圖 9-7 解說這類元件的使用方式。當錯誤電流事件清除、電流恢復到正常水準時，PTC 元件冷卻將電阻值帶回到正常範圍，恢復電路的正常動作。如此一來，使用單次動作型保險絲所需要的擔保要求也可以省略了。

## 9.4 靜電放電ESD (Electrostatic Discharge)

### 9.4.1 起因

通常ESD對於FireWire連接埠的破壞原因是來自於人體的靜電轉移到電子電路上。人體電荷的累積係來自於磨擦力(triboelectric)可以高達數萬伏特。由於連接線與未接地(ungrounded)裝置的電感與電容效應，ESD也可能將高壓與高電流轉移到電子電路上。這個現象的一個範例就是「連接線放電事件(Cable Discharge Event)」，通常簡稱為CDE。

### 9.4.2 對ESD敏感的元件

當IC的製造商努力地將裝置、晶體、互連接與矽晶層不停地微細化之際，更容易因為ESD而引起斷裂擊穿或是電氣過電壓過電流的損毀。雖然IC製造商也會針對他們的產品加入某種型式的ESD保護，然而，此舉也僅在晶圓製造或是後段組裝過程中提供了保護。近來，為了加快元件的操作速度、節省晶圓的空間與改善製造過程，逐漸減少了晶片上的保護。因此，使用者引起的ESD遠超過標準半導體元件的脆弱性門檻值時，會引起以下這些效應：

- *軟故障(Soft Failures)* - ESD電流可能改變內部邏輯的狀態，引起資料的崩毀、錯誤的操作或是系統的鎖住，往往需要重新開機。
- *潛在瑕疵(Latent Defects)* - 系統可能暫時動作正常，一段時間直到毀壞的元件與系統最終會失效。
- *致命性故障(Catastrophic Failures)* - 嚴重的ESD暫態可以損壞矽晶片的內部連接。由於絕緣氧化物破裂，也可能造成半導體接面的失效。不論是怎樣的失效，皆會造成元件與系統永久的不可使用。

ESD具有快速上升時間與高峰值電壓的特徵，因此，PHY內部的保護裝置也必須具備有相因應的快速反應時間以及額定的耐高壓值。在PHY對ESD脆弱的場合，在線路板的層次也需要額外的ESD保護措施。一般來說，IEC 61000-4-2測試規範乃是用來驗證系統耐受ESD可靠度的依據。請留意這份規範不需要ESD暫態被加諸到開放性(沒有連接的)連接埠。無論在設置或是諸如攜帶式筆電的應用場合，是相當普遍常見的。通過了IEC規範可能會引起安全上的錯覺，因此，非常建議在EMC完成測試之後，ESD也必須重新再做一次，好比說，ESD加諸於開放性連接埠等。

### 9.4.3 ESD標準規範(ESD Standards)

因為ESD是半導體元件故障的最常見原因，幾種工業標準與規範已被制定用來測試及驗證積體電路以決定承受ESD之靈敏度。這些標準包括：

- (a). MIL-STD-883中的Human Body Model (HBM), Method 3015
- (b). EIAJ IC121中的Machine Model (MM)
- (c). US ESD DS 5.3中的Charged Device Model (CDM)

以上這三種模型主要是涉及到IC的測試與製造，也可運用到線路與組裝上。電氣模型的差異(充電電容與放電電阻)是用來模擬個別的暫態。細節摘列於圖9-7與表格9-1。

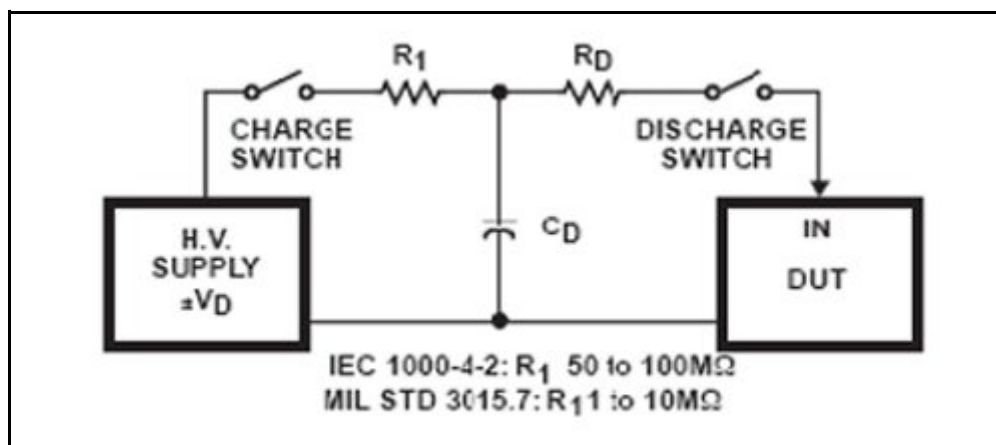


圖9-7：保護元件與終端產品的測試電路

標準	形式/模式	$R_b$	$C_b$	$\pm V_b$
IEC 61000-4-2	HBM, Air Discharge	330 $\Omega$	150pF	15KV
(level 4)	HBM, Direct Discharge	330 $\Omega$	150pF	8KV
MIL-STD-3015.7	Modified HBM	1.5K $\Omega$	100pF	8KV*
	Standard HBM	1.5K $\Omega$	100pF	2KV
EIAJ IC121	Machine Model	0K $\Omega$	200pF	400V
US ESD DS 5.3	Charged Device Model	0K $\Omega$	N/A	3KV

\*：實驗室測試的上限

表格9-1：圖9-7測試電路的各種參數值

最為嚴格的標準之一，乃是國際電工委員會(International Electrotechnical Commission)之IEC 61000-4-2，也是EMC指令所參照。該測試規範適用於完成的系統(例如電腦,印表機等)，其他標準則是朝向IC。Level 4是測試方法中的最高等級，待測裝置在接觸放電方法須承受8KV(建議選用)，空氣放電則為15KV。

設計人員必須知道用於FireWire電路的ESD額定值。比如說，依據MIL-STD-883的半導體元件額定值2KV，可能無法度過更為嚴格的IEC測試方法。而且，即使滿足IEC標準的某些ESD抗擾度的半導體，也並未保證無須額外的ESD抑制。誠如前述，真實世界的ESD暫態會超過標準所定義的峰值電流與電壓，也有可能更為快速的上升時間。此外，最終產品的電磁互容性，也可能規定特殊等級的耐受度。

就1394介面而言，保護元件必須與高速TPx信號線並行來將敏感的PHY輸入電路之ESD給分路掉。因此，除了恰當地電壓抗擾性等級之外，ESD抑制元件必須具有低電容來防止信號的失真與過度負載。

#### 9.4.4 保護基準

通常，ESD乃是TPx信號線的最大威脅，快速的上升時間將峰值帶到數萬伏特的高電壓。保護元件必須將峰值壓到更低的準位並快速鉗制殘留電壓到更低的層次，以電流的方式排入到地端。此外，ESD壓制元件的電容值也必須夠低，不能夠造成TPx信號的失真。

#### 9.4.5 抑制器(suppressor)的特性

對TPx信號線的ESD抑制有各種不同的技術。考量到低寄生電容的要求，有兩個種類的技術可以採用，分別是矽保護陣列SPA(silicon protection arrays)以及聚合物抑制器(polymeric suppressors)。在選擇ESD保護方案時，要考量這些技術各自擁有的特色。SPA具有最低的開啟時間與鉗住電壓，對於ESD特別敏感的PHY該考慮這種技術。聚合物抑制器則具有最低的電容值，若是必須減低寄生電容的場合，就可以考慮這種方式。

#### 9.4.6 代表性電路與產品

依據線路設計與成本的考量，單一通道ESD抑制元件可以運用在四條TPx信號線上，如圖9-8下方所示；另一個選擇是採用多通道陣列加諸到資料信號線上，如圖9-8上方線路所示。

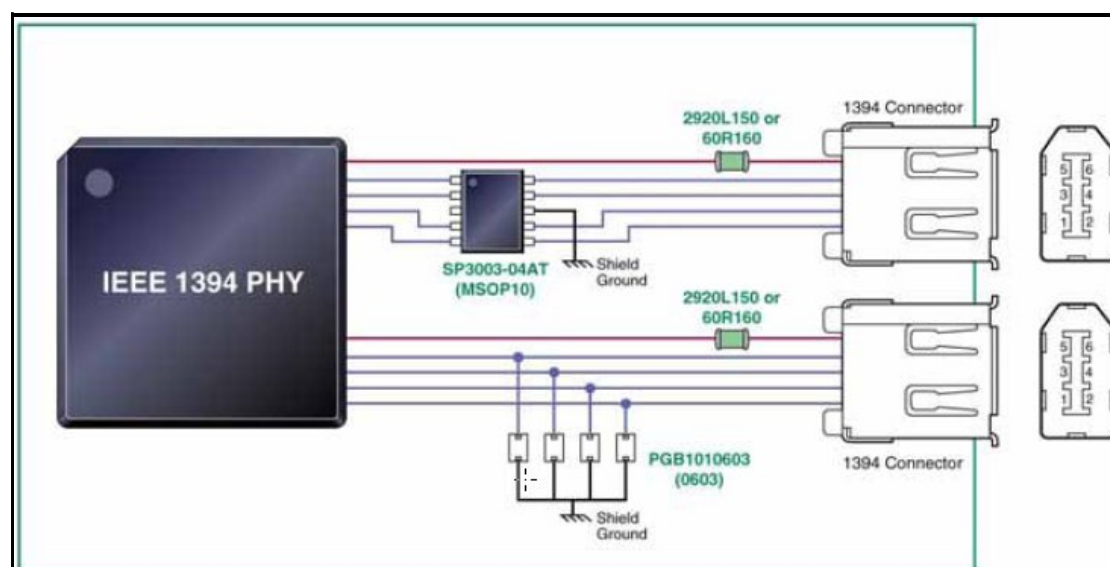


圖9-8：1394連接埠的誤電流與ESD保護對策

技術	通道 數量	VDC額定 電壓V	峰值ESD 電壓V	箝位 電壓V	額定峰 值電流A	典型電 容量pF	安裝 方式
SPA <sup>1</sup>	4	5.5	160	20	30	0.65	SMD
聚合物 元件 <sup>2</sup>	1	24	550	60	30	0.06	SMD

表格9-2：TPx信號線的代表性ESD保護元件

補充說明：

- ❶. Littelfuse SP3003-04ATG Silicon Protection Array或是等效元件。
- ❷. Littelfuse PGB1010603 PulseGuard® suppressor或是等效元件。
- ❸. 所有元件依照IEC 61000-4-2來測試。

#### 9.4.7 寄生電容效應的考量

信號整合性(signal integrity)上的寄生電容效應，將根據FireWire裝置設計時所採用1394的速率版本(100MHz, 200MHz, 400MHz等)而定。當ESD抑制元件的容量與連接埠速率增加時，信號脈衝的前沿與後沿會加大失真。最終，這個信號失真會足以干擾到資料傳輸。

數位示波器可以用來觀察TPx信號線上有用ESD與沒有用ESD的波形。圖9-9顯示了三種不同ESD抑制器技術與一個表面黏著電容器在100MHz與500MHz的寄生電容效應，作為比較。低電容量元件對於測試波形並不會有影響。綠色的波形幾乎就是重疊在黃色波形(沒有ESD抑制元件)之上。

為了確認ESD抑制元件的電容量是否恰當，我們高度建議在最後設計完成之前務必要進行信號整合性的測試，比如說，眼狀圖、TDR(time domain reflectometry)時域反射的特性阻抗等。

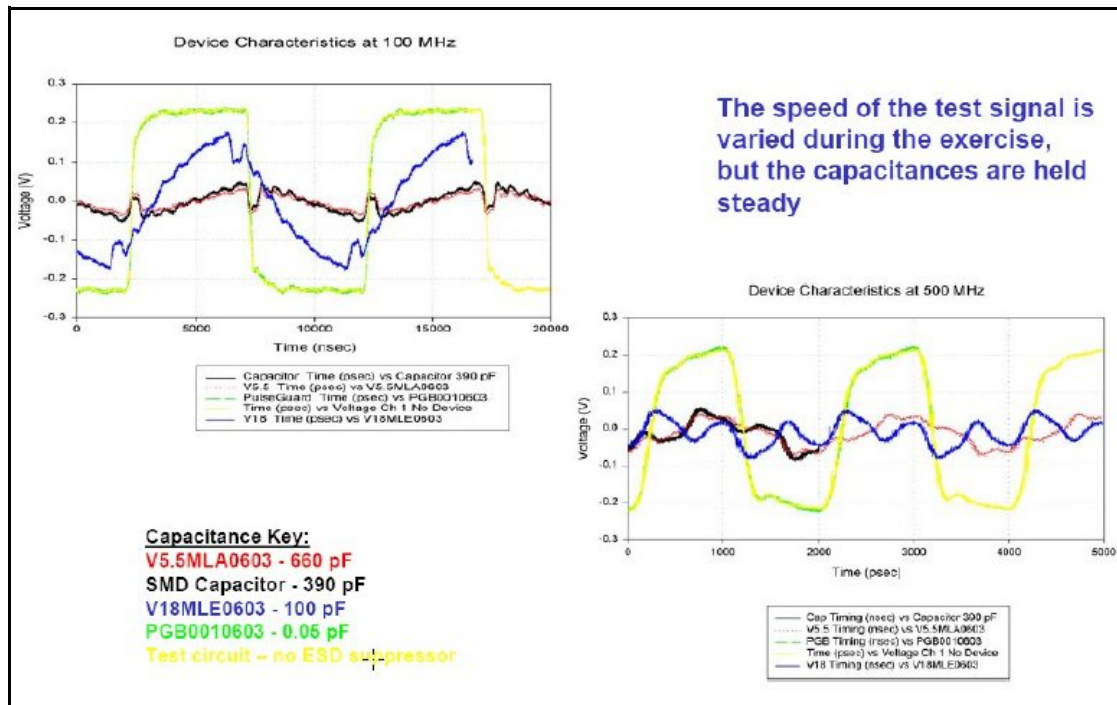


圖9-9：在100MHz與500MHz信號整合性上的寄生電容效應

## 附件 10：兩連接埠連接線電源分布 IC

注：這個部份要留意更新資訊

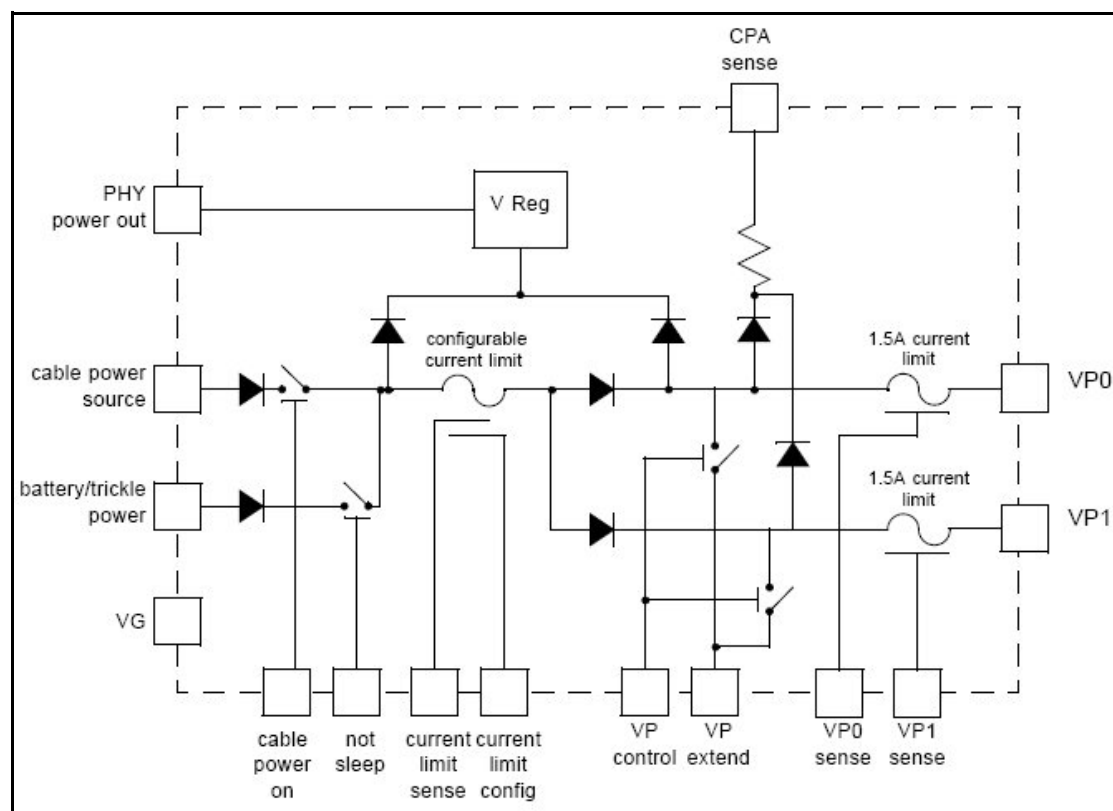


圖 10-1：兩連接埠電源管理 IC

當電源施加到 Cable Power Source，Battery/Trickle Power Source，VP0，VP1 與 VPextend 時，此電源管理 IC 開始動作。

VP0 與 VP1 開關在任一方向均可傳遞電流，電壓操作範圍必須在 7V - 33V 範圍。

VP control 若是沒有輸入時，開關就關閉傳遞電流(建議內部拉低到 VG)。

若是 7V 以上電壓提供在任一電源來源時，電壓調節器必須提供 3.3V/1W 到 PHY Power Out 端子。

可調式電流限制器(為了電源的保護)應設置運作介於 0.5A ~ 3A (利用電阻或 I2C 控制)。若是限流已經啟動(tripped)，那麼「current limit sense」輸出必須起作用。

1.5A 電流限制必須在小於 10ms 之內反應過度負載。若是相對應限流已經啟動，VP0 與 VP1 檢測接腳就必須起作用。

「CPA sense」輸出應該是兩連接埠的連接線電源之簡單感知信號。這個信號應該是被一般的 PHY 所接受。

二極體的順向壓降損失必須低於0.7V；如果改用極性偵測元件使順向壓降損失極小化將會更美好(否則這個元件將耗費太多功率)。

注：對於3埠或是更多連接埠，可以組合兩個元件並將其VP control與VP extend接腳連接在一起(如此能夠允許電源電壓從任何VP到任何其它VP間切換)

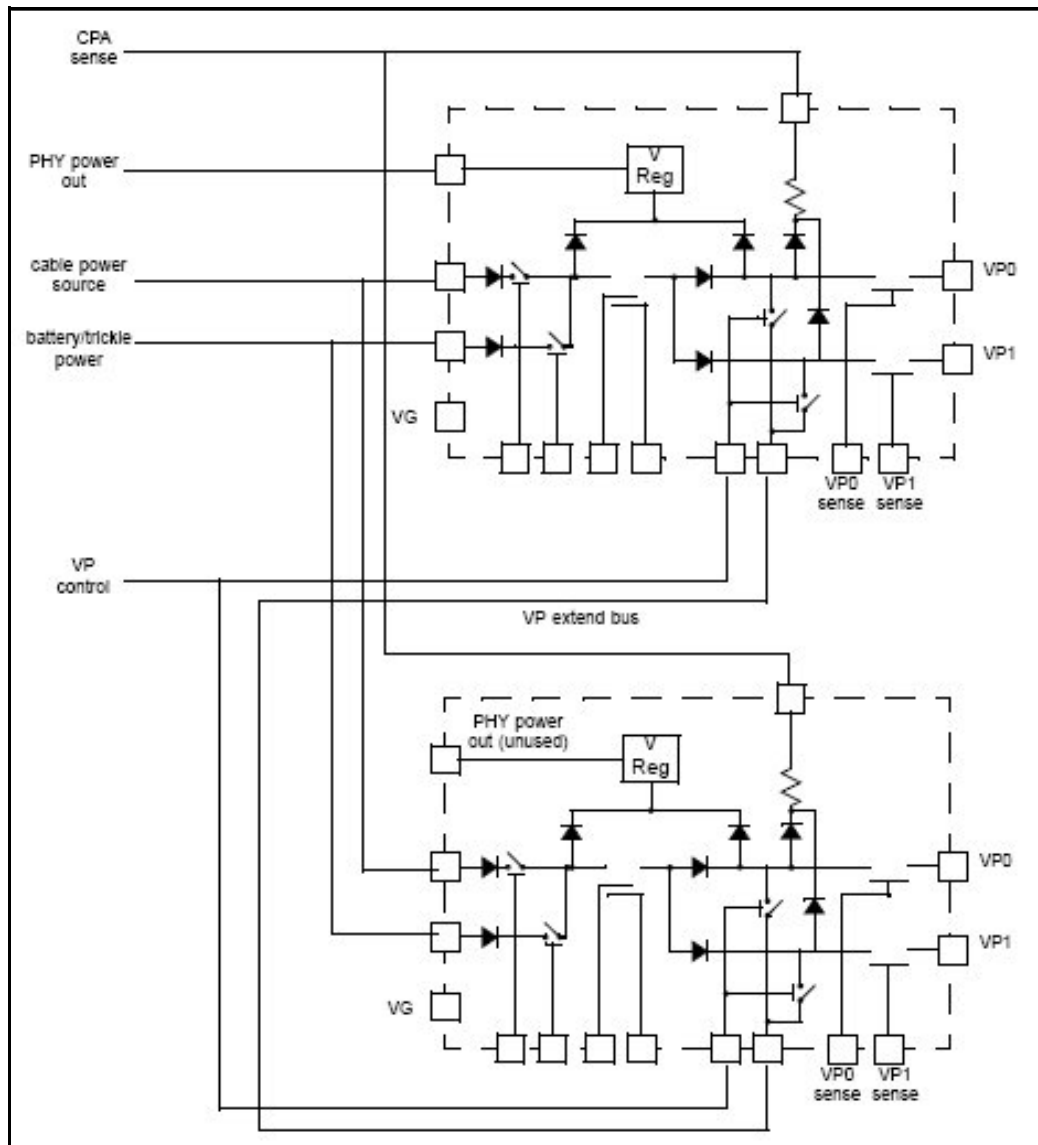


圖10-2：使用多個兩連接埠的電源管理IC

**附件 11：參考文獻**

[1]. IEEE Std 1212-2001, Standard for a Control and Status Registers (CSR) Architecture for microcomputer buses。

[2]. IEEE Std 1394-1995, Standard for a High Performance Serial Bus。

[3]. IEEE Std 1394a-2000, Standard for a High Performance Serial Bus—Amendment 1。

[4]. IEEE Std 1394b-2002, Standard for a High Performance Serial Bus—Amendment 2。

[5]. 1394 TA 1999001-1, Power Specification, Part 1: Cable Power Distribution, October 5, 1999。

[6]. 1394 TA 1999001-3, Power Specification Part 3: Power Distribution Management, January 15, 2000。

在開發時，這個標準也必須搭配下列出版文獻。當被認可為標準之際，會加上認可版本編號。

[7]. NCITS TR-25-1999 1-SEP-1999 Information Technology - Fibre Channel - Methodologies for Jitter Specification - MJS<sup>1</sup>。

[8]. NCITS T11/02-127v2 3-AUG-2002 Information Technology - Fibre Channel - Methodologies for Jitter and Signal Quality Specification - MJSQ。

[9]. 1394 Open Host Controller Interface Specification, Release 1.1, January 6, 2000。

[10]. 1394 Open Host Controller Interface Specification, Release 1.2。。

[11]. TI Application Note SLLA117, IEEE 1394 EMI Board Design and Layout Guidelines, Jose A. Cadena-Hernandez, Burke Henehan, Lee Myers, Revision 1.1.3, July 2002。

[12]. TI Application Note SLLA020A, Recommendations for PHY Layout, Ron Raybarman, March 1999。

[13]. LSI Application Note AP00041-02, FW323/FW322 Hardware Implementation Design Guideline. Revision 2, December 2002。

<sup>1</sup> NCITS T11.2 作業文件在<http://www.t11.org> 可以尋得。

## 附錄 12：定義與縮寫(abbreviations)

這些定義摘自 1394b 規範。

### 12.1 一致性的術語(Conformance terminology)

某些關鍵詞係用來區分需求與選項的不同層次，如下：

**12.1.1 期望(expected)：**一個關鍵詞，用來描述本標準設計模型中硬體或軟體的動作。其他的硬體或軟體模型也可以實施。

**12.1.2 忽略(ignored)：**一個關鍵詞，用來描述位元，位元組，四位元組(quadlets)，八位元組(octlets)或是欄位，其值不會被接收端檢查。

**12.1.3 可能(may)：**一個關鍵詞，表示選擇彈性，沒有隱含偏好。

**12.1.4 保留(reserved)：**一個關鍵詞，用來描述物件 - 位元，位元組，quadlets，octlets 與欄位，或是指定給物件的代碼值；無論是物件或是代碼留給未來標準化用。用法與涵義可以用未來擴充或其他標準來指定。保留物件必須為零。接收端收到保留物件並不會檢查其值。

**12.1.5 必須(shall)：**一個關鍵詞，表示強制要求。設計者需要去履行這些要求確保與其他產品的互容性。

**12.1.6 應該(should)：**一個關鍵詞，表示強烈偏好的彈性；推薦之意。

### 12.2 技術詞彙(Technical glossary)

以下用詞係本文件中所用到的辭彙。

**12.2.1 8B/10B：**一種 8 位元映射成 10 位元的編碼方式，達到 DC(直流)平衡，以及將位元 0 與位元 1 出現次數的差異(disparity)控制在最好的範圍。

**12.2.2 認可(acknowledge)：**一個認可(acknowledge)封包。

**12.2.3 認可封包(acknowledge packet)：**接收到主要封包時的回應認可封包，係一 8 位元封包。前後各個 4 位元是互補的。

**12.2.4 字頭語(acronym)：**一種人為的縮寫字，方便於記憶。

**12.2.5 有效用連接埠(active port)：**一個連接上又致能的連接埠，可以偵測到所有串列匯流排的狀態，能夠參與介面重置、樹狀連接辨識、自我確認與仲裁歷程。

**12.2.6 仲裁(arbitration)：**介面節點為了取得使用權的競賽歷程。當完成了仲裁，贏的節點就能夠傳輸封包與激發一個匯流排重置。

**12.2.7 非同步封包(asynchronous packet)：**依照非同步仲裁法則傳送的主要封包，在等時期間(isochronous period)之外進行的傳輸。

**12.2.8 接續的對等 PHY：**對本地 PHY 來說，一個對等的 PHY 接續在另一端。

**12.2.9 B 雲集(B cloud)：**B 節點或 Border 節點的集合，其中，所有節點間的連接是經由 Beta 連接埠。

**12.2.10 B 連結(B link)：**一個能在 1394b 動作下的連結，特別是在 BOSS 仲裁時能夠送出恰當的請求。

**12.2.11 B 匯流排(B bus)：**所有節點以 B PHY 動作的匯流排。

**12.2.12 B 節點(B node)：**以 B PHY 動作的節點。

**12.2.13 B only PHY：**一個僅能在 B PHY 模式下動作的 PHY，也就是說，所有的連接埠皆是 Beta-only 連接埠；而且其連結是 B link 或是 PIL。

**12.2.14 B-parallel link：**一種連結動作模式，其中，PHY-Link 之間的信號係採用並行介面來傳遞。

**12.2.15 B PHY：**一種 PHY 的動作模式，所有的連接埠皆在 Beta 模式中動作；其連結並不配置在傳統的 PHY-link 模式。

**12.2.16 基礎速率(base rate)：**泛指  $98.304\text{Mbps} \pm 100 \text{ ppm}$  的資料速率。在連接線使用環境，所有的傳統節點能夠在這個速率下傳輸，而所有 B 節點能夠以四倍基礎速率來通信。

**12.2.17 BER：**位元錯誤率(bit error ratio)。這是意指接收的錯誤位元與全部接收位元的比例。

**12.2.18 Beta 模式(Beta Mode)：**連接埠依據 1394b 規格來動作，特別是採用 8B/10B 編碼方式以及遵守 BOSS 仲裁協定，就可以說連接埠處於 Beta 模式。Beta 模式中的連接埠速度字尾以  $\beta$  來表示，比如說， $S400\beta$ 。

**12.2.19 Beta 連接埠(Beta port)：**操作在 Beta 模式下的連接埠。

**12.2.20 Beta-only 連接埠：**僅能以 Beta 連接埠來動作的連接埠。

**12.2.21 雙模式連接埠(bilingual port)：**能夠以 Beta 埠或是 DS 埠來動作的連接埠。模式的選定在邏輯連接時就會決定，至於是哪一個則會依據對等埠的傳送能力而定。

**12.2.22 邊界節點(Border node)：**一個節點同時具有

- (i). 其連結可以是 B 連結或是至少一個 Beta 連接埠或是兩者皆是；以及
- (ii). 其連結可以是傳統式連結或是至少一個 DS 連接埠或是兩者皆是。

**12.2.23 BOSS：**乃是 Bus Owner/Supervisor/Selector 的簡稱。在 B 雲集中，BOSS 就是負責決策仲裁的節點。在最後的子動作(subaction)中傳輸資料的最後節點或是接收認可(grant)的節點會變成 BOSS，前者通常是說對非同步封包傳送認可的節點或是在其他場合主要封包傳送者。BOSS 決定公平區間(fairness interval)的結束以及等時區間(isochronous intervals)的結束，並通知其他的節點。最後，BOSS 會選擇途徑來認可下一個，亦即將 BOSS 的權利與職責傳遞給另一個節點。

**12.2.24 BOSS 仲裁(BOSS arbitration)：**這個標準所定義的仲裁方案。BOSS 仲裁的特色是決定仲裁的節點會變化(請參閱 BOSS)，仲裁要求可以與資料傳輸重疊，而且，等時與非同步請求可以各自對接下來隨後的等時區間或公平區間做管線處理。

**12.2.25 匯流排 ID(bus ID)：**多匯流排互聯系統中指定某一特定匯流排的 10 位元 ID。

**12.2.26 位元組(byte)：**八個位元的資料。

**12.2.27 cable PHY：**乃「cable physical layer」的簡稱。

**12.2.28 連接線實體層：**適用於 Serial Bus 連接線應用環境的實體層版本。

- 12.2.29 **CAT-5**：即是 Category 5 的 UTP 連接線。
- 12.2.30 **字元(character)**：B 模式下於連接上傳送的 10 位元資料序列。
- 12.2.31 **連鎖資料交易(concatenated transaction)**：一種包含連鎖子動作的分割式資料交易(split transaction)。
- 12.2.32 **對接之 PHY(connected PHY)**：與本地 PHY 實體連接的另一端對等 PHY。
- 12.2.33 **連接(connection)**：彼此可相互通信的兩個節點與之間的媒介。
- 12.2.34 **連接音調(connection tone)**：表示能夠操作在Beta模式的信號。也可以確認兩個能夠Beta模式動作節點的連接存在。
- 12.2.35 **CSR架構(CSR Architecture)**：ISO/IEC 13213:1994 [ANSI/IEEE Std 1212, 1994 Edition]、Information technology-Microprocessor systems- 微電腦匯流排的 CSR(Control and Status Registers )架構。
- 12.2.36 **週期主控端(cycle master)**：每秒產生 8000 次周期性 cycle start 封包的節點。
- 12.2.37 **cycle start**：意指「cycle start 封包」。
- 12.2.38 **cycle start packet**：週期主控端(cycle master)送出的主要封包，表示了等時區間(isochronous interval)的開始。
- 12.2.39 **資料位元**：媒介上由實體層傳送封包資料的最小信號元素。
- 12.2.40 **資料字元(data character)**：8B/10B 編碼之後的字元。
- 12.2.41 **Data Strobe (DS)**：使用兩個信號的一種信號法則，其中，一個信號Data始終表示著資料的二元值(0或1)，另一個信號Strobe在下一個位元依然相同時就會起變化。這項信號法則運用於IEEE Std 1394-1995 以及 IEEE Std 1394a-2000標準。
- 12.2.42 **直流平衡(DC balance)**：長期運行的二進制符號必需的位元差異平衡。
- 12.2.43 **目的去處(destination)**：封包定址的節點。如果去處是個別由來源定址，那麼，它就必須返回一個認可封包(acknowledge packet)。
- 12.2.44 **失能埠(disabled port)**：被配置成不能傳送、接收或是中繼 Serial Bus 信號的連接埠。一個失能埠必須在 PHY' 的 self-ID 封包中報告視為斷接(disconnected)。
- 12.2.45 **斷接埠(disconnected port)**：一個連接埠的接續偵測電路於連接線彼端偵測不到對等的 PHY。
- 12.2.46 **不等(disparity)**：一個字元(character)中位元 1 與位元 0 出現次數的差。
- 12.2.47 **doublet**：雙位元組，也就是 16 位元資料。
- 12.2.48 **DS模式(DS mode)**：IEEE Std 1394-1995 以及 IEEE Std 1394a-2000標準的電氣信號與交握(handshaking)法則。
- 12.2.49 **DS-only 連接埠**：僅能夠扮演 DS 模式動作的連接埠。
- 12.2.50 **DS埠(DS port)**：依據傳統規範動作的連接埠，它使用了DS電氣信號與規範定義的仲裁協定。一個DS only port或是雙模式連接埠，均可以作為DS埠。
- 12.2.51 **EIA**：乃Electronic Industries Association之簡稱。

**12.2.52 眼狀圖(eye diagram)：**顯示於示波器上的多位元重疊圖，可以看出實體層的信號品質。

**12.2.53 公平區間(fairness interval)：**仲裁重置指示者限定的期間。在公平區間，節點所能傳送的非同步封包數量有所限制。而每個節點的限制可以由匯流排管理員(bus manager)明確建立或者也可以是內含的。

**12.2.54 FOP：**PHY的扇出(fanout)。使用1394b條款15所定義的介面將多埠PHY附加於PIL。

**12.2.55 電流隔離(galvanic isolation)：**一種用來避免低頻地迴路電流的機制。

**12.2.56 間隔(gap)：**閒置匯流排的一段時間。

**12.2.57 混合式匯流排(Hybrid bus)：**一個包含至少一個Border節點的動作匯流排。

**12.2.58 IEC：**International Electrotechnical Commission的簡稱。

**12.2.59 初始節點空間：**每個節點有效的256TB串列匯流排位址空間。初始節點空間乃48位元定址，基址從0開始。初始節點空間包含初始記憶體空間、私有空間、初始暫存器空間與初始單元空間。請參考ISO/IEC 13213:1994或是IEEE Std 1394-1995。

**12.2.60 初始暫存器空間：**初始節點空間基址FFFF F000<sub>16</sub>的2048位元組。這個位址空間保留給在匯流排重置後，資源存取用。ISO/IEC 13213:1994定義在初始暫存器空間的核心暫存器即如IEEE Std 1394-1995所定義的串列匯流排暫存器。

**12.2.61 初始單元空間：**初始節點空間基址FFFF F000 800<sub>16</sub>的部分。這個初始單元空間毗鄰並在初始暫存器空間之上。單元架構所定義的CSR與其他特色盡在這個空間。

**12.2.62 ISO：**International Organization for Standardization的簡寫。

**12.2.63 等時(isochronous)：**時間的一致(亦即有相等期間)以及在定期循環。

**12.2.64 等時間隔(isochronous gap)：**傳統1394匯流排，在一個等時子動作(isochronous subaction)之後、非同步仲裁之前的匯流排閒置期間。

**12.2.65 等時區間(isochronous interval)：**在cycle start封包送出之後的期間，以一個子動作來結束。在等時區間期間，僅能產生等時子動作。一個等時區間平均每125us啟動。

**12.2.66 等時資源管理員：**一個實踐BUS\_MANAGER\_ID, BANDWIDTH\_AVAILABLE, CHANNELS\_AVAILABLE以及BROADCAST\_CHANNEL暫存器(某些允許等時資源的共享配置)。在每次匯流排重置之後，從所有能夠處理這個功能的節點中，選擇一個等時資源管理員

**12.2.67 等時子動作(isochronous subaction)：**意指在等時區間之期間，一個連鎖封包(concatenated packet)或是前頭有間隔的封包。

**12.2.68 隔離節點(isolated node)：**一個不具有有效連接埠的節點；該節點的連接埠可能是失效、斷接或是中止(suspended)的各種組合情況。

**12.2.69 信號抖動(jitter)：**任何理想位元的時間偏差。

- 12.2.70 傳統(Legacy)：**IEEE Std 1394-1995或IEEE Std 1394a-2000所定義的連結、節點、PHY、連接線、連接器等特性與作用。
- 12.2.71 傳統雲集(Legacy cloud)：**傳統節點與Border節點的集合，其中，所有節點間的接續是經由傳統連接埠。
- 12.2.72 連結(link)：**可以是連結層(link layer)的簡稱。也可以是實踐連結層的實體。也可以是連接到PHY-link介面的元件。
- 12.2.73 連結層(link layer)：**串列匯流排協定層，可以確認與不確認主要封包(primary packets)的傳送或接收。
- 12.2.74 邏輯連接埠：**接續狀態為真(TRUE)的連接埠。如果一個連接埠接續到尚未供應電源的對等端，那麼該埠即非邏輯上連接。
- 12.2.75 低功率連接信號：**一種超低工作週期(duty cycle)的信號，決定出連接埠的互連狀態。這是當連接埠尚未啟動或是失效時才會發生的。
- 12.2.76 模組(module)：**最小的實體管理組件；亦即一個可替換裝置。
- 12.2.77 近端串音NEXT(Near-End Cross-Talk)：**在相同連接埠上傳送信號對在接收信號對引起的雜訊。比如說，TpB能在連接埠上的TpA引起NEXT。
- 12.2.78 節點(node)：**一種可以獨立定址的串列匯流排裝置。一個規模最小的節點可僅包含PHY而不具有連結層。若是連結層與其他軟體層存在而且有效用，也是視為節點的一部分。
- 12.2.79 節點控制器：**節點之中的組件，專門管理節點機能上的協調，包含了應用、資料交易、連結與實體元素。
- 12.2.80 節點ID：**16位元，用來識別在一群互連匯流排中的節點。節點ID的最高10位元在相同匯流排中的節點是相同的，這即是bus ID。而低6位元則是相同匯流排中各個節點的唯一識別碼，稱做physical ID。physical ID值在匯流排初始化後被指定。
- 12.2.81 NRZ(non-return to zero)：**一種簡易的信號編碼技巧，極性高代表邏輯1，極性低代表邏輯0。
- 12.2.82 空封包(null packet)：**一個沒有內含資料傳輸的封包。
- 12.2.83 octlet：**八位元組，或是64位元的資料。
- 12.2.84 操作速率(operating speed)：**連接埠與對方在Beta模式通信的速度，單位為Mbps(在8B/10B編碼之前)；一般的表示法如S100, S200, S400等。
- 12.2.85 發源埠(originating port)：**PHY上的一個傳送埠，卻是沒有起作用的接收埠。傳送封包的來源可能是PHY的連結層或是PHY本身。
- 12.2.86 封包(packet)：**在串列匯流排上的一序列位元，劃定界限是由封包起始符號與結束符號來標示。
- 12.2.87 封包速度(packet speed)：**封包的資料速率，必須低於或是等於Beta模式接續來傳送封包的操作速度。
- 12.2.88 途徑(path)：**兩個節點連結層之間的所有相關連結。

- 12.2.89 承載量(payload)：**意指主要封包所內含的資料量，係由應用所定義。
- 12.2.90 PCB：**印刷線路板(Printed circuit board)的簡稱。
- 12.2.91 對等端(peer)：**遠端節點的相同層次服務層。譬如說，對等連結層即是在不同節點上的連結層。
- 12.2.92 PIL：**乃PHY integrated with Link之簡稱。一個使用變更過Beta連接埠的連結，係使用規格中第15分句所定義的協定。
- 12.2.93 PHY封包：**一個64位元封包，其中高32位元與低32位元是呈現互補的。
- 12.2.94 實體上的連接(physical connection)：**連接節點之間的全雙工實體層關係。就連接線實體層的場合來說，這是一對執行於相反方向的實體上的連接。
- 12.2.95 實體 ID：**節點 ID 的低六位元。在一特定的匯流排上，每個節點的實體 ID 是唯一的。
- 12.2.96 實體層(PHY)：**串列匯流排協定層，將連結層使用的邏輯符號轉換為電氣信號到媒介上。
- 實體層會進行自我初始化。實體層仲裁可保證在一個時間僅有一個節點在傳送資料。機械的介面也是實體層定義的部份。對於背板(backplane)以及連接線(cable)的使用環境，有各自不同的實體層。
- 12.2.97 實體上連結：**在連接線使用環境的實體層，一個節點連接埠的傳輸器單工接續到對接節點連接埠的接收器。
- 12.2.98 ping：**一種用詞，係描述一個PHY封包傳輸到某一特定節點，目的是為了選擇誘導回應封包的時機。
- 12.2.99 PLL：**Phase Locked Loop 的簡稱。
- 12.2.100 PMD：**Physical Medium Dependent 的簡稱。
- 12.2.101 PMD介面(PMD interface)：**特定於一種互連的介面。
- 12.2.102 點對點封包(P2P)：**在PIL-FOP介面上傳送的特殊封包型式。此類封包是用於一般串列匯流排不能傳送的資料承載。
- 12.2.103 連接埠(port)：**PHY 的一部份，可以連接到其他節點。
- 12.2.104 主要封包(primary packet)：**非認可或是PHY封包的任何封包。一個主要封包是整數倍的quadlet，而在第一個quadlet之中包含了一個交易碼(transaction code)。
- 12.2.105 主要電源供應者：**可以提供至少20V電源的節點，在其self-ID封包中宣告其的電源供應能力。其他的限制與要求，描述於TA Cable Power Distribution文件之中。
- 12.2.106 quadlet：**四位元組，亦即 32 位元資料。
- 12.2.107 隨機抖動(random jitter)：**隨機來源引起的信號抖動。具有高斯統計的特徵，依據高斯分布函數無邊界的變化。
- 12.2.108 接收器眼狀圖開口：**單位元期間內的時間區間，其中。取樣資料值的錯誤或然率低於特定的位元錯誤率BER(bit error ratio)。

- 12.2.109 暫存器(register)**：用來描述串列匯流排資料交易讀寫的位址。在這標準的內文中，暫存器一詞的使用並沒有隱含特定硬體的實踐。舉例來說，在分割式資料交易的場合，在請求(request)與回應(response)子動作之間有足夠的時間，暫存器的動作效用可以由模組中的處理器來模擬。
- 12.2.110 中繼埠(repeating port)**：PHY上的一個傳送埠，用來中繼從PHY接收埠來的一個封包。
- 12.2.111 請求(request)**：一個節點的連結(requester)送出可含資料的主要封包到另一個節點的連結(responder)。
- 12.2.112 回應(response)**：針對請求子動作的回應的一個主要封包(可能內含資料)。
- 12.2.113 回復(restore)或說復原**：將處於待機(standby)的连接返回到有效用的狀態。
- 12.2.114 恢復信號**：一種信號，用來要求連結埠恢復到正常動作的狀態。
- 12.2.115 恢復中連接埠(resuming port)**：先前中止埠已經見到非連接(connection tone)的信號或是接收到指使來恢復。無論是哪種場合，恢復中連接埠與對等的連接PHY進行協定溝通來重新建立正常的動作。
- 12.2.116 運行長度(run length)**：一序列相同值位元的長度；比如說邏輯1或邏輯0。
- 12.2.117 運行位元差(running disparity)**：根據最近傳送(或是接收)的字元子區塊，字元子區塊結束時的估計運行數位和(running digital sum)。若是初始化具有相同值，運行位元差以及運行數位和在任何字元子區塊的結束時是相等的。如果在接收字元串有錯誤的場合，運行位元差不會等於運行數位和。
- 12.2.118 擾碼器(scrambler)**：藉由使用必要的符號以及類似隨機產生的偏移指位器。係用來將傳送信號內容的頻譜平準化，避免電磁干擾的發生。
- 12.2.119 資深border(senior border)**：在B雲集中的唯一border節點。資深border乃是最後節點，無須在雲集中有速度碼即可發出self-ID封包(亦即，由於傳統連結從DS模式埠中繼或產生)；而且，負責確保遵守了特定的傳統間隙時序。
- 12.2.120 self-ID封包**：在self-ID過程中或是針對PHY ping封包回應的一種PHY封包。
- 12.2.121 串列匯流排管理**：傳輸協定、服務管理與操作步驟的套集，用來追蹤與控制串列匯流排的實體層、連結層與資料交易層。
- 12.2.122 來源(source)**：激發一個匯流排傳輸的節點。
- 12.2.123 分割式資料交易(split transaction)**：在請求與反應子動作之間於匯流排上可能發生不相關子動作的資料交易。
- 12.2.124 STP**：Shielded twisted pair的簡稱。
- 12.2.125 待機(standby)**：Beta連接的低功率狀態，其中，僅有低功率連接信號產生。連接埠進入或離開待機狀態時，不會產生匯流排重置。
- 12.2.126 待機啟動端(standby initiator)**：傳送STANDBY配置請求的作用埠，並與對接的PHY進行協定來將連接切換到待機狀態。

**12.2.127 子動作(subaction)**：一個完整的連結層操作，至少包含一個封包的傳送。該封包之前可能是匯流排重置，之後可能是認可。

**12.2.128 子動作間隔(subaction gap)**：傳統的连接雲集中，對於一個非同步子動作，在仲裁之前的閒置匯流排期間。

**12.2.129 中止(suspend)**：當維護低功率連接信號時，進入低功率模式的操作。當連接埠進入或是離開中止狀態時，產生匯流排重置。

**12.2.130 中止啟動端(suspend initiator)**：傳送SUSPEND配置請求或是TX\_SUSPEND信號的作用埠，並與對接的PHY進行協定來將連接切換到中止狀態。

**12.2.131 中止對象(suspend target)**：接收SUSPEND配置請求或是觀測到RX\_SUSPEND信號的一個效用埠。當中止對象埠與接續的對等PHY參與協定來中止連接時，中止對象會要求在PHY上的其他效用埠變成中止啟動端。

**12.2.132 中止節點(suspended node)**：一個至少有一個連接埠已經中止的節點。

**12.2.133 中止埠(suspended port)**：對於正常串列匯流排仲裁不能運作的連接埠，但是能夠偵測實體連接線斷接或是一個恢復信號。

**12.2.134 同步(synchronization)**：接收端電路對齊的處理，可以適當地偵測接收位元以及偵測符號的邊界。

**12.2.135 TDR**：亦即Time Domain Reflectometry的簡稱。

**12.2.136 TIA**：Telecommunications Industry Association的簡稱。

**12.2.137 資料交易(transaction)**：一個請求(request)與選項的回應(response)。

**12.2.138 資料交易層(transaction layer)**：串列匯流排的協定層，對於讀取、寫入與鎖定操作定義了請求-回應(request-response)的傳輸協定。

**12.2.139 單元(unit)**：一個串列匯流排節點的組件，它提供了處理、記憶體、I/O或其他的機能。一旦該節點初始化之後，單元提供了一個CSR介面。一個節點可以擁有多個單元，其中的各個單元可以獨立動作。

**12.2.140 單元架構(unit architecture)**：描述在節點內實踐一個單元介面與效用的規格文獻。

**12.2.141 單元區間(unit interval)**：傳送單一位元的一般時間量。

**12.2.142 UTP**：Unshielded Twisted Pair的簡稱。